

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年11月20日

出 願 番 号  
Application Number: 特願2003-391461  
[ST. 10/C]: [JP2003-391461]

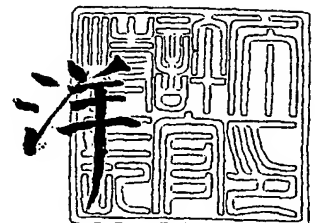
出 願 人  
Applicant(s): 松下電器産業株式会社



2005年 1月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 2037840282  
【提出日】 平成15年11月20日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03L 7/081  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 國谷 久雄  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 谷川 悟  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 藺部 浩之  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
    【氏名】 影山 敦久  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100081813  
    【弁理士】  
    【氏名又は名称】 早瀬 憲一  
    【電話番号】 06(6395)3251  
【手数料の表示】  
    【予納台帳番号】 013527  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9600402

**【書類名】 特許請求の範囲****【請求項 1】**

入力クロックをN段の遅延素子により  $1/N$  クロックずつ位相シフトさせ、該各遅延素子から出力されるクロックのうち、基準信号に最も同期するクロックを同期クロックとして選択し出力する半導体装置において、

上記  $1/N$  クロックずつ位相シフトされたクロックと現基準信号との位相差、及び上記  $1/N$  クロックずつ位相シフトされたクロックと上記現基準信号の1ライン前の前基準信号との位相差に基づいて、現基準信号及び前基準信号の位相状態を検出する基準信号位相検出回路と、

上記基準信号位相検出回路にて検出された上記現基準信号、及び上記前基準信号の位相状態を比較する比較回路と、

上記比較回路にて上記現基準信号と上記前基準信号の位相状態が一致していないことを検出したとき、上記現基準信号のクロックの位相状態を位相シフトさせて上記前基準信号の位相状態に一致させる位相制御回路と、

上記位相制御された現基準信号に最も同期するクロックを選択するよう上記選択器を制御する選択器制御回路と、を備えた、

ことを特徴とする半導体装置。

**【請求項 2】**

請求項 1 に記載の半導体装置において、

上記位相制御回路は、クロック数を1ステップずつカウントアップさせて上記位相制御を行う、

ことを特徴とする半導体装置。

**【請求項 3】**

請求項 1 に記載の半導体装置において、

上記位相制御回路は、クロック数を1ステップずつカウントダウンさせて上記位相制御を行う、

ことを特徴とする半導体装置。

**【請求項 4】**

請求項 2 または請求項 3 に記載の半導体装置において、

上記位相制御回路は、1クロック単位でクロック数をカウントする、

ことを特徴とする半導体装置。

**【請求項 5】**

請求項 2 または請求項 3 に記載の半導体装置において、

$1/M$  ( $M$  は 2 以上の整数) ライン単位でクロック数をカウントするよう上記位相制御回路を制御する1ライン幅均等分割回路を備えた、

ことを特徴とする半導体装置。

**【請求項 6】**

請求項 2 または請求項 3 に記載の半導体装置において、

1ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えた、

ことを特徴とする半導体装置。

**【請求項 7】**

請求項 1 に記載の半導体装置において、

上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が  $(1+N)/N$  クロック幅、あるいは  $(1-N)/N$  クロック幅で、かつ上記前基準信号のクロックの位相に近いほうに位相シフトさせる、

ことを特徴とする半導体装置。

**【請求項 8】**

請求項 7 に記載の半導体装置において、

上記位相制御回路は、1クロック単位でクロック数をカウントする、

ことを特徴とする半導体装置。

【請求項 9】

請求項 7 に記載の半導体装置において、

1/M (M は 2 以上の整数) ライン単位でクロック数をカウントするよう上記位相制御回路を制御する 1 ライン幅均等分割回路を備えた、  
ことを特徴とする半導体装置。

【請求項 10】

請求項 7 に記載の半導体装置において、

1 ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えた、  
ことを特徴とする半導体装置。

【請求項 11】

請求項 1 に記載の半導体装置において、

上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が 1 クロック幅以上となる方向へ位相シフトさせる、  
ことを特徴とする半導体装置。

【請求項 12】

請求項 11 に記載の半導体装置において、

上記位相制御回路は、1 クロック単位でクロック数をカウントする、  
ことを特徴とする半導体装置。

【請求項 13】

請求項 11 に記載の半導体装置において、

1/M (M は 2 以上の整数) ライン単位でクロック数をカウントするよう上記位相制御回路を制御する 1 ライン幅均等分割回路を備えた、  
ことを特徴とする半導体装置。

【請求項 14】

請求項 11 に記載の半導体装置において、

1 ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えた、  
ことを特徴とする半導体装置。

【請求項 15】

請求項 1 に記載の半導体装置において、

上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が 1 クロック幅以下となる方向へ位相シフトさせる、  
ことを特徴とする半導体装置。

【請求項 16】

請求項 15 に記載の半導体装置において、

上記位相制御回路は、1 クロック単位でクロック数をカウントする、  
ことを特徴とする半導体装置。

【請求項 17】

請求項 15 に記載の半導体装置において、

1/M (M は 2 以上の整数) ライン単位でクロック数をカウントするよう上記位相制御回路を制御する 1 ライン幅均等分割回路を備えた、  
ことを特徴とする半導体装置。

【請求項 18】

請求項 15 に記載の半導体装置において、

1 ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えた、  
ことを特徴とする半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、クロック信号を映像信号における水平同期信号等の基準信号に同期させるためのものである。

【背景技術】

【0002】

近年、映像信号処理のデジタル化が進んでおり、映像信号処理において水平同期信号等の基準信号に同期させたクロックを用いて処理する半導体装置が利用されている。その技術の一例として、特開 2002-290218 号公報に記載された半導体装置がある。

【0003】

以下に、従来の基準信号にクロックを同期させる半導体装置について図 25 を用いて説明する。

図 25 は、従来の半導体装置の構成を示すブロック図である。これは 1/4 位相ずつ位相シフトしたクロックを生成する場合の回路図である。

【0004】

図 25 においては、遅延素子 102～105 は、クロック入力端子 101 に入力されたクロックを 1/4 位相ずつ位相シフトさせる。

【0005】

位相比較器 106 は、上記入力クロックの 1 クロック後の位相と、上記遅延素子 105 の出力クロックの位相とを比較する。

【0006】

制御器 107 は、上記位相比較器 106 の出力に基づいて上記遅延素子 102～105 の遅延値を制御する。

【0007】

選択器 109 は、上記遅延素子 102～105 の各々から出力されるクロックのうち、基準信号入力端子 108 に入力された基準信号に最も近いクロックを同期クロックとして選択し、同期クロック出力端子 110 を介して外部へ出力する。

【0008】

以上のように構成された従来の半導体装置の動作について説明する。

クロック入力端子 101 に入力されたクロックは、4 段の遅延素子 102～105 により遅延される。そして、位相比較器 106 にて、上記クロック入力端子 101 に入力されたクロックの 1 クロック後の位相と、上記遅延素子 105 から出力されるクロックの位相を比較し、該比較の結果、検出された位相差に基づいて制御器 107 により上記各遅延素子 102～105 の制御値が制御される。

【0009】

選択器 109 では、上記制御された各遅延素子 102～105 から出力される遅延クロックのうち、基準信号のエッジの後部で一番近いエッジのクロックを選択する。ここでは、遅延素子 103 から出力されるクロック S103 を同期クロックとして選択し出力する。

【特許文献 1】特開 2002-290218 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

基準信号（アナログ H パルス等）がクロックに同期していない信号の場合、この基準信号の立ち上がりに対してリセットをかけた瞬間、リセット信号のエッジに一番近い位相のクロックが選択されるため、クロックの DUTY が不連続になる部分が 1 箇所存在してしまう。また、クロック DUTY に不連続箇所を持たせたまま、後の信号処理を行うと、演算の途中で信号が抜けたりし、これにより、データとクロック間のタイミング制約を満足

することができなくなったりするといった問題が発生する。

【0011】

本発明は、上記従来の問題点を解決するもので、正確に基準信号にクロックを同期させることができ、かつ出力される同期クロックのDUTYを一定に保つことができる半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0012】

上記課題を解決するために、本発明の請求項1にかかる半導体装置は、入力クロックをN段の遅延素子により $1/N$ クロックずつ位相シフトさせ、該各遅延素子から出力されるクロックのうち、基準信号に最も同期するクロックを同期クロックとして選択し出力する半導体装置において、上記 $1/N$ クロックずつ位相シフトされたクロックと現基準信号との位相差、及び上記 $1/N$ クロックずつ位相シフトされたクロックと上記現基準信号の1ライン前の前基準信号との位相差に基づいて、現基準信号及び前基準信号の位相状態を検出する基準信号位相検出回路と、上記基準信号位相検出回路にて検出された上記現基準信号、及び上記前基準信号の位相状態を比較する比較回路と、上記比較回路にて上記現基準信号と上記前基準信号の位相状態が一致していないことを検出したとき、上記現基準信号のクロックの位相状態を位相シフトさせて上記前基準信号の位相状態に一致させる位相制御回路と、上記位相制御された現基準信号に最も同期するクロックを選択するよう上記選択器を制御する選択器制御回路と、を備えたことを特徴とするものである。

【0013】

また、本発明の請求項2にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、クロック数を1ステップずつカウントアップさせて上記位相制御を行うことを特徴とするものである。

【0014】

また、本発明の請求項3にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、クロック数を1ステップずつカウントダウンさせて上記位相制御を行うことを特徴とするものである。

【0015】

また、本発明の請求項4にかかる半導体装置は、請求項2または請求項3に記載の半導体装置において、上記位相制御回路は、1クロック単位でクロック数をカウントすることを特徴とするものである。

【0016】

また、本発明の請求項5にかかる半導体装置は、請求項2または請求項3に記載の半導体装置において、 $1/M$  ( $M$ は2以上の整数)ライン単位でクロック数をカウントするよう上記位相制御回路を制御する1ライン幅均等分割回路を備えたことを特徴とするものである。

【0017】

また、本発明の請求項6にかかる半導体装置は、請求項2または請求項3に記載の半導体装置において、1ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えたことを特徴とするものである。

【0018】

また、本発明の請求項7にかかる半導体装置は、請求項1に記載の半導体装置において、上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が $(1+N)/N$ クロック幅、あるいは $(1-N)/N$ クロック幅で、かつ上記前基準信号のクロックの位相に近いほうに位相シフトさせることを特徴とするものである。

【0019】

また、本発明の請求項8にかかる半導体装置は、請求項7に記載の半導体装置において、上記位相制御回路は、1クロック単位でクロック数をカウントすることを特徴とするものである。

【0020】

また、本発明の請求項 9 にかかる半導体装置は、請求項 7 に記載の半導体装置において、 $1/M$  ( $M$  は 2 以上の整数) ライン単位でクロック数をカウントするよう上記位相制御回路を制御する 1 ライン幅均等分割回路を備えたことを特徴とするものである。

【0021】

また、本発明の請求項 10 にかかる半導体装置は、請求項 7 に記載の半導体装置において、1 ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えたことを特徴とするものである。

【0022】

また、本発明の請求項 11 にかかる半導体装置は、請求項 1 に記載の半導体装置において、上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が 1 クロック幅以上となる方向へ位相シフトさせることを特徴とするものである。

【0023】

また、本発明の請求項 12 にかかる半導体装置は、請求項 11 に記載の半導体装置において、上記位相制御回路は、1 クロック単位でクロック数をカウントすることを特徴とするものである。

【0024】

また、本発明の請求項 13 にかかる半導体装置は、請求項 11 に記載の半導体装置において、 $1/M$  ( $M$  は 2 以上の整数) ライン単位でクロック数をカウントするよう上記位相制御回路を制御する 1 ライン幅均等分割回路を備えたことを特徴とするものである。

【0025】

また、本発明の請求項 14 にかかる半導体装置は、請求項 11 に記載の半導体装置において、1 ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えたことを特徴とするものである。

【0026】

また、本発明の請求項 15 にかかる半導体装置は、請求項 1 に記載の半導体装置において、上記位相制御回路は、上記現基準信号のクロックの位相を、クロックレート幅が 1 クロック幅以下となる方向へ位相シフトさせることを特徴とするものである。

【0027】

また、本発明の請求項 16 にかかる半導体装置は、請求項 15 に記載の半導体装置において、上記位相制御回路は、1 クロック単位でクロック数をカウントすることを特徴とするものである。

【0028】

また、本発明の請求項 17 にかかる半導体装置は、請求項 15 に記載の半導体装置において、 $1/M$  ( $M$  は 2 以上の整数) ライン単位でクロック数をカウントするよう上記位相制御回路を制御する 1 ライン幅均等分割回路を備えたことを特徴とするものである。

【0029】

また、本発明の請求項 18 にかかる半導体装置は、請求項 15 に記載の半導体装置において、1 ライン単位でクロック数をカウントするよう上記位相制御回路を制御するラインカウンタ回路を備えたことを特徴とするものである。

【発明の効果】

【0030】

本発明にかかる半導体装置によれば、PLL がロック状態になる前までは予め設定されている初期値を等化係数として出力し、クロックに同期していない信号 (例えばアナログ H パルス等) に対しリセットをかけた場合は、クロック DUTY 幅を確保しながら、現基準信号のクロックの位相を位相シフトさせて現基準信号のクロックの位相状態を前基準信号のクロックの位相状態と一致させるようにしたので、出力される同期クロックの DUTY を常に一定に保つことができ、これにより、後段の LSI とのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることではなく、データとクロック間でタイミング制約を満足することが可能となる。

【発明を実施するための最良の形態】

**【0031】**

以下、本発明の実施の形態について図面を参照しながら説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

**【0032】**

(実施の形態1)

以下に、本発明の実施の形態1にかかる半導体装置について説明する。

図1は、本実施の形態1による半導体装置の構成を示すブロック図である。

**【0033】**

図1において、遅延素子2～5はほぼ同一の遅延素子であり、クロック入力端子1に入力されたクロックを1/4位相ずつ位相シフトさせる。

**【0034】**

位相比較器6は、上記入力クロックの1クロック後の位相と、上記遅延素子5の出力クロックの位相とを比較する。

**【0035】**

制御器7は、上記位相比較器6の出力に基づいて上記遅延素子2～5の遅延値を制御する。

**【0036】**

基準信号位相検出回路10は、上記各遅延素子2～5の出力クロックと前基準信号入力端子8を介して入力された前基準信号との位相差、及び、上記各遅延素子2～5の出力クロックと現基準信号入力端子9を介して入力された現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。なお、前基準信号とは、現基準信号に対し1ライン前の信号である。

**【0037】**

比較回路11は、上記基準信号位相検出回路10にて検出された、現基準信号と前基準信号の位相状態が一致しているか否かを比較する。

**【0038】**

位相制御回路12は、上記現基準信号と上記前基準信号との位相状態が一致していないとき、クロック数を1ステップずつカウントアップしながら、現基準信号のクロックの位相状態を位相シフトさせて前基準信号のクロックの位相状態に近づける。

**【0039】**

選択器制御回路13は、上記位相制御回路12により位相制御された基準信号を用いて選択器14を制御する。

**【0040】**

選択器14は、上記選択器制御回路13の制御により、上記各遅延素子2～5のうちの1つを同期クロックとして選択し、同期クロック出力端子15を介して外部に出力する。

**【0041】**

以上のように構成された半導体装置の動作について説明する。

まず、クロック入力端子1に同期させたいクロックと同じ周波数のクロックを入力する。

**【0042】**

入力されたクロックは上記遅延素子2～5で遅延され、該遅延素子5の出力クロックが比較信号として位相比較器6に入力される。また、クロック入力端子1から入力されたクロックは、被比較信号として位相比較器6に入力される。

**【0043】**

位相比較器6では、上記遅延素子5の出力クロックの位相と、上記クロック入力端子1から入力されたクロックの1クロック後の位相とを比較し、位相差を検出したときは位相差出力信号を制御器7へ出力する。

**【0044】**

制御器7では、上記位相差出力信号を、上記遅延素子2～5の遅延値を制御するための



制御値へ変換し、遅延素子 2～5 の遅延値を変化させる。

【0045】

その後、位相比較器 6 で、上記遅延素子 5 の出力クロックの位相と、上記入力クロックの 1 クロック後の位相とを比較する。この動作を位相比較器 6 で位相差が検出できなくなるまで繰り返すと、上記遅延素子 5 の出力クロックの位相と上記入力クロックの 1 クロック後の位相との差がなくなり、遅延素子の遅延がほぼ同じになる。つまり、各遅延素子の出力に 1/4 クロックずつ位相シフトしたクロックが発生することとなる。従って、遅延素子 2 の出力に 1/4 クロック遅延のクロックが、遅延素子 3 の出力に 2/4 クロック遅延のクロックが、遅延素子 4 の出力に 3/4 クロック遅延のクロックが、遅延素子 5 の出力に 1 クロック遅延のクロックが出力される。

【0046】

次に、基準信号位相制御方法について図 2 を説明する。なお、本実施の形態 1 において、位相制御回路 12 は、現基準信号のクロックの位相を、必ず前基準信号のクロックの位相に近い方向へ位相シフトさせ、前基準信号のクロックの位相に一致させるものとする。

【0047】

基準信号位相検出回路 10 では、各遅延素子 2～5 の出力クロックと前基準信号との位相差、各遅延素子 2～5 の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が 2、現基準信号の位相状態が 0 の場合を想定している（図 2（a）に示す）。

【0048】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 12 では、前基準信号のクロックの位相に近い方向へ現基準信号のクロックの位相を位相シフトさせる（ここでは、5/4 クロックレート幅）。つまり、図 2（b）に示すように、クロック数を 1 ステップずつカウントアップさせて、現基準信号のクロックの位相状態 0 のクロックエッジから位相状態 1 のクロックエッジ、位相状態 2 のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

【0049】

そして、位相制御回路 12 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、5/4 クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート幅で出力される。

【0050】

このような実施の形態 1 では、1 クロック単位でクロック数をカウントアップしながら、現基準信号のクロックの位相状態を前基準信号のクロックの位相状態に近づけるよう位相制御を行う位相制御回路 12 を備え、クロックに同期していない信号（例えばアナログ H パルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を 5/4 クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子 2～5 の出力クロックの中から選択するようにしたので、出力される同期クロックの DUTY を常に一定に保つことができ、これにより、後段の LSI とのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となり、最終的に信号処理における誤動作を防ぐことができる。

【0051】

（実施の形態 2）

以下に、本発明の実施の形態 2 にかかる半導体装置について説明する。

図 3 は、本実施の形態 2 による半導体装置の構成を示すブロック図である。なお、図 3 において、図 1 と同一または相当する構成要素については同じ符号を用い、その説明を省

略する。

#### 【0052】

位相制御回路16は、上記現基準信号と上記前基準信号の位相状態が一致していないとき、クロック数を1ステップずつカウントダウンしながら、現基準信号のクロックの位相状態を位相シフトさせて前基準信号のクロックの位相状態に近づける。

#### 【0053】

以上のように構成された半導体装置の動作、特に基準信号位相制御方法について図4を用いて説明する。なお、本実施の形態2において、位相制御回路16は、現基準信号のクロックの位相を、前基準信号のクロックの位相に近い方向へ位相シフトさせるものとする。

#### 【0054】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号入力端子8から入力される前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が0、現基準信号の位相状態が2の場合を想定している（図4（a）に示す）。

#### 【0055】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路16では、前基準信号のクロックの位相に近い方向へ現基準信号のクロックの位相を位相シフトさせる（ここでは、 $3/4$ クロックレート幅）。つまり、図4（b）に示すように、クロック数を1ステップずつカウントダウンさせて、現基準信号のクロックの位相状態2のクロックエッジから位相状態1のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0056】

そして、位相制御回路16により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は1クロックレート幅で出力される。

#### 【0057】

このような実施の形態2では、1クロック単位でクロック数をカウントダウンしながら、現基準信号のクロックの位相状態を前基準信号のクロックの位相状態に近づけるよう位相制御を行う位相制御回路16を備え、クロックに同期していない信号に対してリセットをかけた場合に、現基準信号のクロックの位相を $3/4$ クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

#### 【0058】

（実施の形態3）

以下の、本発明の実施の形態3にかかる半導体装置について説明する。

図5は、本実施の形態3による半導体装置の構成を示すブロック図である。なお、図5において、図1と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

#### 【0059】

1ライン幅均等分割カウンタ回路17は、1ライン数をM（Mは2以上の整数）で均等分割し、 $1/M$ ライン単位でクロック数をカウントするよう位相制御回路12を制御する

## 【0060】

以上のように構成された半導体装置の動作について図6を用いて説明する。なお、本実施の形態3において、位相制御回路12は、現基準信号のクロックの位相を、前基準信号のクロックの位相に近い方向へ位相シフトさせるものとする。

## 【0061】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号入力端子8から入力される前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が2、現基準信号の位相状態が0の場合を想定している（図6（a）に示す）。

## 【0062】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路12では、前基準信号のクロックの位相に近い方向へ現基準信号のクロックの位相を位相シフトさせる（ここでは、 $5/4$ クロックレート幅）。つまり、図6（b）に示すように、クロック数を $1/M$ ライン単位でカウントアップさせて、現基準信号のクロックの位相状態0のクロックエッジから位相状態1のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

## 【0063】

そして、位相制御回路12により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は $5/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は1クロックレート幅で出力される。

## 【0064】

このような実施の形態3では、 $1/M$ ライン単位でクロック数をカウントアップしながら、現基準信号のクロックの位相状態を前基準信号のクロックの位相状態に近づける位相制御を行う位相制御回路12を備え、クロックに同期していない信号（例えばアナログHパルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を $5/4$ クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

## 【0065】

（実施の形態4）

以下に、本発明の実施の形態4にかかる半導体装置について説明する。

図7は、本実施の形態4による半導体装置の構成を示すブロック図である。なお、図7において、図3と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

## 【0066】

1ライン幅均等分割カウンタ回路17は、1ライン数を $M$ （ $M$ は2以上の整数）で均等分割し、 $1/M$ ライン単位でクロック数をカウントするよう位相制御回路16を制御する。

## 【0067】

以上のように構成された半導体装置の動作について図8を用いて説明する。なお、本実施の形態4において、位相制御回路16は、現基準信号のクロックの位相を、前基準信号のクロックの位相に近い方向へ位相シフトさせるものとする。

**【0068】**

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号入力端子8から入力される前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が0、現基準信号の位相状態が2の場合を想定している（図8（a）に示す）。

**【0069】**

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路16では、前基準信号のクロックの位相に近い方向へ現基準信号のクロックの位相を位相シフトさせる（ここでは、 $3/4$ クロックレート幅）。つまり、図8（b）に示すように、クロック数を $1/M$ ライン単位でカウントダウンさせて、現基準信号のクロックの位相状態2のクロックエッジから位相状態1のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

**【0070】**

そして、位相制御回路16により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は1クロックレート幅で出力される。

**【0071】**

このような実施の形態4では、 $1/M$ ライン単位でクロック数をカウントダウンしながら、現基準信号のクロックの位相状態を前基準信号のクロックの位相状態に近づけるよう位相制御を行う位相制御回路16を備え、クロックに同期していない信号（例えばアナログHパルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を $3/4$ クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

**【0072】**

（実施の形態5）

以下に、本発明の実施の形態5にかかる半導体装置について説明する。

図9は、本実施の形態5による半導体装置の構成を示すブロック図である。なお、図9において、図1と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

**【0073】**

ラインカウンタ回路18は、1ライン単位でクロック数をカウントするよう位相制御回路12を制御する。

**【0074】**

以上のように構成された半導体装置の動作について図10を用いて説明する。なお、本実施の形態5において、位相制御回路12は、現基準信号のクロックの位相を、前基準信号のクロックの位相に近い方向へ位相シフトさせるものとする。

**【0075】**

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号入力端子8から入力される前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が2、現基準信号の位相状態が0の場合を想定している（図10（a）に示す）。

**【0076】**

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路12では、前基準信号のクロックの位相に近い方向へ現基準信号のクロックの位相を位相シフトさせる（ここでは、 $5/4$ クロックレート幅）。つまり、図10（b）に示すように、クロック数を1ライン単位でカウントアップさせて、現基準信号のクロックの位相状態0のクロックエッジから位相状態1のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

**【0077】**

そして、位相制御回路12により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は $5/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は1クロックレート幅で出力される。

**【0078】**

このような実施の形態5では、1ライン単位でクロック数をカウントアップしながら、現基準信号のクロックの位相状態を前基準信号のクロックの位相状態に近づけるよう位相制御を行う位相制御回路12を備え、クロックに同期していない信号（例えばアナログHパルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を $5/4$ クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

**【0079】**

（実施の形態6）

以下に、本発明の実施の形態6にかかる半導体装置について説明する。

図11は、本実施の形態6による半導体装置の構成を示すブロック図である。なお、図11において、図3と同一または相当する構成要素については同じ符号を用い、その説明を省略する。

**【0080】**

ラインカウンタ回路18は、1ライン単位でクロック数をカウントするよう位相制御回路16を制御する。

**【0081】**

以上のように構成された半導体装置の動作について図12を用いて説明する。なお、本実施の形態6において、位相制御回路16は、現基準信号のクロックの位相を、前基準信号のクロックの位相に近い方向へ位相シフトさせるものとする。

**【0082】**

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号入力端子8から入力される前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が0、現基準信号の位相状態が2の場合を想定している（図12（a）に示す）。

**【0083】**

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路16では、前基準信号のクロックの位相に近い方向へ現基準信号のクロックの位相を位相シフトさせる（ここでは、 $3/4$ クロックレート幅）。つまり、図12（b）に示すように、クロック数を1ライン単位でカウントダウンさせて、現基準信号のクロックの位相状態2のクロックエッジから位相状態1のクロックエッジ、位相状態0のクロックエッジへ

と順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0084】

そして、位相制御回路16により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は1クロックレート幅で出力される。

#### 【0085】

このような実施の形態6では、1ライン単位でクロック数をカウントダウンしながら、現基準信号のクロックの位相状態を前基準信号のクロックの位相状態に近づけるよう位相制御を行う位相制御回路16を備え、クロックに同期していない信号（例えばアナログHパルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を $3/4$ クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

#### 【0086】

（実施の形態7）

以下に、本発明の実施の形態7にかかる半導体装置について説明する。なお、本実施の形態7による半導体装置の回路構成は、上記実施の形態1の場合と同一の構成要素であるのでここでは説明を省略する。

#### 【0087】

次に、本実施の形態7による半導体装置の動作について図13、及び図14を用いて説明する。なお、本実施の形態7において、位相制御回路12は、上記現基準信号のクロックの位相を、クロックレート幅が1クロック幅以上となる方向へ位相させるものとする。

#### 【0088】

まず、前基準信号の位相状態が2、現基準信号の位相状態が0であると想定した場合の基準信号位相制御方法について図13を用いて説明する。

#### 【0089】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が2、現基準信号の位相状態が0である（図13（a）に示す）。

#### 【0090】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路12では、図13（b）に示すように、クロック数を1クロック単位でカウントアップさせて、現基準信号のクロックの位相状態0のクロックエッジから位相状態1のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0091】

そして、位相制御回路12により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $5/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1クロックレート幅で出力される。

#### 【0092】



次に、前基準信号の位相状態が0、現基準信号の位相状態が2であると想定した場合の基準信号位相制御方法について図14を用いて説明する。

【0093】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が0、現基準信号の位相状態が2である（図14（a）に示す）。

【0094】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路12では、図14（b）に示すように、クロック数を1クロック単位でカウントアップさせて、現基準信号のクロックの位相状態2のクロックエッジから位相状態3のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

【0095】

そして、位相制御回路12により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $5/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1クロックレート幅で出力される。

【0096】

このような実施の形態7では、1クロック単位でクロック数をカウントアップしながら、現基準信号のクロックの位相状態を1クロック幅以上のクロックレート幅で位相制御を行う位相制御回路12を備え、クロックに同期していない信号（例えばアナログHパルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を $5/4$ クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

【0097】

（実施の形態8）

以下に、本発明の実施の形態8にかかる半導体装置について説明する。なお、本実施の形態8による半導体装置の回路構成は、上記実施の形態3の場合と同一の構成要素であるのでここでは説明を省略する。

【0098】

次に、本実施の形態8による半導体装置の動作について図15、及び図16を用いて説明する。なお、本実施の形態8において、位相制御回路12は、上記現基準信号のクロックの位相を、クロックレート幅が1クロック幅以上となる方向へ位相シフトさせるものとする。

【0099】

まず、前基準信号の位相状態が2、現基準信号の位相状態が0であると想定した場合の基準信号位相制御方法について図15を用いて説明する。

【0100】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が2、現基準信号の位相状態が0である（図15（a）に示す）。

【0101】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 12 では、図 15 (b) に示すように、クロック数を  $1/M$  ライン単位でカウントアップさせて、現基準信号のクロックの位相状態 0 のクロックエッジから位相状態 1 のクロックエッジ、位相状態 2 のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0102】

そして、位相制御回路 12 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $5/4$  クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート幅で出力される。

#### 【0103】

次に、前基準信号の位相状態が 0、現基準信号の位相状態が 2 であると想定した場合の基準信号位相制御方法について図 16 を用いて説明する。

#### 【0104】

基準信号位相検出回路 10 では、各遅延素子 2～5 の出力クロックと前基準信号との位相差、各遅延素子 2～5 の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が 0、現基準信号の位相状態が 2 である（図 16 (a) に示す）。

#### 【0105】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 12 では、図 16 (b) に示すように、クロック数を  $1/M$  ライン単位でカウントアップさせて、現基準信号のクロックの位相状態 2 のクロックエッジから位相状態 3 のクロックエッジ、位相状態 0 のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0106】

そして、位相制御回路 12 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $5/4$  クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート幅で出力される。

#### 【0107】

このような実施の形態 8 では、 $1/M$  ライン単位でクロック数をカウントアップしながら、現基準信号のクロックの位相状態を 1 クロック幅以上のクロックレート幅で位相制御を行う位相制御回路 12 を備え、クロックに同期していない信号（例えばアナログ H パルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を  $5/4$  クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子 2～5 の出力クロックの中から選択するようにしたので、出力される同期クロックの DUTY を常に一定に保つことができ、これにより、後段の LSI とのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

#### 【0108】

##### （実施の形態 9）

以下に、本発明の実施の形態 9 にかかる半導体装置について説明する。なお、本実施の形態 9 による半導体装置の回路構成は、上記実施の形態 5 の場合と同一の構成要素であるのでここでは説明を省略する。

#### 【0109】



次に、本実施の形態 9 による半導体装置の動作について図 17、及び図 18 を用いて説明する。なお、本実施の形態 9 において、位相制御回路 12 は、上記現基準信号のクロックの位相を、クロックレート幅が 1 クロック幅以上となる方向へ位相シフトさせるものとする。

#### 【0110】

まず、前基準信号の位相状態が 2、現基準信号の位相状態が 0 であると想定した場合の基準信号位相制御方法について図 17 を用いて説明する。

#### 【0111】

基準信号位相検出回路 10 では、各遅延素子 2～5 の出力クロックと前基準信号との位相差、各遅延素子 2～5 の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が 2、現基準信号の位相状態が 0 である（図 17 (a) に示す）。

#### 【0112】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 12 では、図 17 (b) に示すように、クロック数を 1 ライン単位でカウントアップさせて、現基準信号のクロックの位相状態 0 のクロックエッジから位相状態 1 のクロックエッジ、位相状態 2 のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0113】

そして、位相制御回路 12 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $5/4$  クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート幅で出力される。

#### 【0114】

次に、前基準信号の位相状態が 0、現基準信号の位相状態が 2 であると想定した場合の基準信号位相制御方法について図 18 を用いて説明する。

#### 【0115】

基準信号位相検出回路 10 では、各遅延素子 2～5 の出力クロックと前基準信号との位相差、各遅延素子 2～5 の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が 0、現基準信号の位相状態が 2 である（図 18 (a) に示す）。

#### 【0116】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 12 では、図 18 (b) に示すように、クロック数を 1 ライン単位でカウントアップさせて、現基準信号のクロックの位相状態 2 のクロックエッジから位相状態 3 のクロックエッジ、位相状態 0 のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0117】

そして、位相制御回路 12 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $5/4$  クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート幅で出力される。

#### 【0118】

このような実施の形態 9 では、1 ライン単位でクロック数をカウントアップしながら、現基準信号のクロックの位相状態を 1 クロック幅以上のクロックレート幅で位相制御を行う位相制御回路 12 を備え、クロックに同期していない信号（例えばアナログ H パルス等）

に対してリセットをかけた場合に、現基準信号のクロックの位相を  $5/4$  クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子 2～5 の出力クロックの中から選択するようにしたので、出力される同期クロックの DUTY を常に一定に保つことができ、これにより、後段の LSI とのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

#### 【0119】

(実施の形態 10)

以下に、本発明の実施の形態 10 にかかる半導体装置について説明する。なお、本実施の形態 10 による半導体装置の回路構成は、上記実施の形態 2 の場合と同一の構成要素であるのでここでは説明を省略する。

#### 【0120】

次に、本実施の形態 10 による半導体装置の動作について図 19、及び図 20 を用いて説明する。なお、本実施の形態 10 において、位相制御回路 16 は、上記現基準信号のクロックの位相を、クロックレート幅が 1 クロック幅以下となる方向へ位相シフトさせるものとする。

#### 【0121】

まず、前基準信号の位相状態が 0、現基準信号の位相状態が 2 であると想定した場合の基準信号位相制御方法について図 19 を用いて説明する。

#### 【0122】

基準信号位相検出回路 10 では、各遅延素子 2～5 の出力クロックと前基準信号との位相差、各遅延素子 2～5 の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が 0、現基準信号の位相状態が 2 である（図 19 (a) に示す）。

#### 【0123】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 16 では、図 19 (b) に示すように、クロック数を 1 クロック単位でカウントダウンさせて、現基準信号のクロックの位相状態 2 のクロックエッジから位相状態 1 のクロックエッジ、位相状態 0 のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0124】

そして、位相制御回路 16 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $3/4$  クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート幅で出力される。

#### 【0125】

次に、前基準信号の位相状態が 2、現基準信号の位相状態が 0 であると想定した場合の基準信号位相制御方法について図 20 を用いて説明する。

#### 【0126】

基準信号位相検出回路 10 では、各遅延素子 2～5 の出力クロックと前基準信号との位相差、各遅延素子 2～5 の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が 2、現基準信号の位相状態が 0 である（図 20 (a) に示す）。

#### 【0127】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 16 では、図 20 (b) に示すように、クロック数を 1 クロック単位でカウントダウンさせて、現基準信号のクロックの位相状態 0 のクロックエッジから位相状態 3 のクロックエ

ッジ、位相状態 2 のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

#### 【0128】

そして、位相制御回路 16 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $3/4$  クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート幅で出力される。

#### 【0129】

このような実施の形態 10 では、1 クロック単位でクロック数をカウントダウンしながら、現基準信号のクロックの位相状態を 1 クロック幅以下のクロックレート幅で位相制御を行う位相制御回路 16 を備え、クロックに同期していない信号（例えばアナログ H パルス等）に対してリセットをかけた場合に、現基準信号のクロックの位相を  $3/4$  クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子 2～5 の出力クロックの中から選択するようにしたので、出力される同期クロックの DUTY を常に一定に保つことができ、これにより、後段の LSI とのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

#### 【0130】

（実施の形態 11）

以下に、本発明の実施の形態 11 にかかる半導体装置について説明する。なお、本実施の形態 11 による半導体装置の回路構成は、上記実施の形態 4 の場合と同一の構成要素であるのでここでは説明を省略する。

#### 【0131】

次に、本実施の形態 11 による半導体装置の動作について図 21、及び図 22 を用いて説明する。なお、本実施の形態 11 において、位相制御回路 16 は、上記現基準信号のクロックの位相を、クロックレート幅が 1 クロック幅以下となる方向へ位相シフトさせるものとする。

#### 【0132】

まず、前基準信号の位相状態が 0、現基準信号の位相状態が 2 であると想定した場合の基準信号位相制御方法について図 21 を用いて説明する。

#### 【0133】

基準信号位相検出回路 10 では、各遅延素子 2～5 の出力クロックと前基準信号との位相差、各遅延素子 2～5 の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が 0、現基準信号の位相状態が 2 である（図 21（a）に示す）。

#### 【0134】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路 16 では、図 21（b）に示すように、クロック数を  $1/M$  ライン単位でカウントダウンさせて、現基準信号のクロックの位相状態 2 のクロックエッジから位相状態 1 のクロックエッジ、位相状態 0 のクロックエッジへと順に切り替え、現基準信号のクロックの位相状態を前基準信号の位相状態に近づけていく。

#### 【0135】

そして、位相制御回路 16 により位相制御された現基準信号に基づいて選択器 14 を制御し、遅延素子 2～5 の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $3/4$  クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後（位相制御終了後）は、1 クロックレート

幅で出力される。

【0136】

次に、前基準信号の位相状態が2、現基準信号の位相状態が0であると想定した場合の基準信号位相制御方法について図22を用いて説明する。

【0137】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が2、現基準信号の位相状態が0である(図22(a)に示す)。

【0138】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路16では、図22(b)に示すように、クロック数を1/Mライン単位でカウントダウンさせて、現基準信号のクロックの位相状態0のクロックエッジから位相状態3のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、現基準信号のクロックの位相状態を前基準信号の位相状態に近づけていく。

【0139】

そして、位相制御回路16により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、3/4クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後(位相制御終了後)は、1クロックレート幅で出力される。

【0140】

このような実施の形態11では、1/Mライン単位でクロック数をカウントダウンしながら、現基準信号のクロックの位相状態を1クロック幅以下のクロックレート幅で位相制御を行う位相制御回路16を備え、クロックに同期していない信号(例えばアナログHパルス等)に対してリセットをかけた場合に、現基準信号のクロックの位相を3/4クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

【0141】

(実施の形態12)

以下に、本発明の実施の形態12にかかる半導体装置について説明する。なお、本実施の形態12による半導体装置の回路構成は、上記実施の形態6の場合と同一の構成要素であるのでここでは説明を省略する。

【0142】

次に、本実施の形態12による半導体装置の動作について図23、及び図24を用いて説明する。なお、本実施の形態12において、位相制御回路16は、上記現基準信号のクロックの位相を、クロックレート幅が1クロック幅以下となる方向へ位相シフトさせるものとする。

【0143】

まず、前基準信号の位相状態が0、現基準信号の位相状態が2であると想定した場合の基準信号位相制御方法について図23を用いて説明する。

【0144】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が0、現基準信

号の位相状態が2である(図23(a)に示す)。

【0145】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路16では、図23(b)に示すように、クロック数を1ライン単位でカウントダウンさせて、現基準信号のクロックの位相状態2のクロックエッジから位相状態1のクロックエッジ、位相状態0のクロックエッジへと順に切り替え、前基準信号の位相状態に近づけていく。

【0146】

そして、位相制御回路16により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後(位相制御終了後)は、1クロックレート幅で出力される。

【0147】

次に、前基準信号の位相状態が2、現基準信号の位相状態が0であると想定した場合の基準信号位相制御方法について図24を用いて説明する。

【0148】

基準信号位相検出回路10では、各遅延素子2～5の出力クロックと前基準信号との位相差、各遅延素子2～5の出力クロックと現基準信号との位相差に基づいて、前基準信号及び現基準信号の位相状態を検出する。ここでは、前基準信号の位相状態が2、現基準信号の位相状態が0である(図24(a)に示す)。

【0149】

現基準信号の位相状態と前基準信号の位相状態とは一致していないため、位相制御回路16では、図24(b)に示すように、クロック数を1ライン単位で1ステップずつカウントダウンさせて、現基準信号のクロックの位相状態0のクロックエッジから位相状態3のクロックエッジ、位相状態2のクロックエッジへと順に切り替え、現基準信号のクロックの位相状態を前基準信号の位相状態に近づけていく。

【0150】

そして、位相制御回路16により位相制御された現基準信号に基づいて選択器14を制御し、遅延素子2～5の出力クロックのうち、該位相制御された現基準信号に最も同期するクロックを同期クロックとして選択する。該同期クロックは、現基準信号の位相状態を前基準信号の位相状態に一致させる位相制御期間は、 $3/4$ クロックレート幅で出力され、前基準信号と現基準信号の位相が一致した後(位相制御終了後)は、1クロックレート幅で出力される。

【0151】

このような実施の形態12では、1ライン単位でクロック数をカウントダウンしながら、現基準信号のクロックの位相状態を1クロック幅以下のクロックレート幅で位相制御を行う位相制御回路16を備え、クロックに同期していない信号(例えばアナログHパルス等)に対してリセットをかけた場合に、現基準信号のクロックの位相を $5/4$ クロックレート幅で位相シフトさせて前基準信号のクロックの位相に一致させ、該位相制御された現基準信号に最も同期するクロックを各遅延素子2～5の出力クロックの中から選択するようにしたので、出力される同期クロックのDUTYを常に一定に保つことができ、これにより、後段のLSIとのインタフェースにおけるタイミング制約を大幅に軽減し、信号処理における演算の途中で信号が抜けたりすることはなく、データとクロック間でタイミング制約を満足することが可能となる。

【産業上の利用可能性】

【0152】

本発明にかかる半導体装置は、アナログHパルス等の基準信号にクロックを同期させる場合に、出力する同期クロックのDUTY幅を一定に保つことのできる半導体装置として

有用である。

【図面の簡単な説明】

【0153】

【図1】本発明の実施の形態1における半導体装置の構成を示す図である。

【図2(a)】本発明の実施の形態1における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図2(b)】本発明の実施の形態1による基準信号位相制御方法を説明するための図である。

【図3】本発明の実施の形態2における半導体装置の構成を示す図である。

【図4(a)】本発明の実施の形態2における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図4(b)】本発明の実施の形態2による基準信号位相制御方法を説明するための図である。

【図5】本発明の実施の形態3における半導体装置の構成を示す図である。

【図6(a)】本発明の実施の形態3における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図6(b)】本発明の実施の形態3による基準信号位相制御方法を説明するための図である。

【図7】本発明の実施の形態4における半導体装置の構成を示す図である。

【図8(a)】本発明の実施の形態4における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図8(b)】本発明の実施の形態4による基準信号位相制御方法を説明するための図である。

【図9】本発明の実施の形態5における半導体装置の構成を示す図である。

【図10(a)】本発明の実施の形態5における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図10(b)】本発明の実施の形態5による基準信号位相制御方法を説明するための図である。

【図11】本発明の実施の形態6における半導体装置の構成を示す図である。

【図12(a)】本発明の実施の形態6における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図12(b)】本発明の実施の形態6による基準信号位相制御方法を説明するための図である。

【図13(a)】本発明の実施の形態7における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図13(b)】本発明の実施の形態7による基準信号位相制御方法を説明するための図である。

【図14(a)】本発明の実施の形態7における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図14(b)】本発明の実施の形態7による基準信号位相制御方法を説明するための図である。

【図15(a)】本発明の実施の形態8における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図15(b)】本発明の実施の形態8による基準信号位相制御方法を説明するための図である。

【図16(a)】本発明の実施の形態8における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図16(b)】本発明の実施の形態8による基準信号位相制御方法を説明するための図である。

【図17(a)】本発明の実施の形態9における、現基準信号と前基準信号の位相状態の一例を示す図である。

態の一例を示す図である。

【図 17 (b)】本発明の実施の形態 9 による基準信号位相制御方法を説明するための図である。

【図 18 (a)】本発明の実施の形態 9 における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図 18 (b)】本発明の実施の形態 9 による基準信号位相制御方法を説明するための図である。

【図 19 (a)】本発明の実施の形態 10 における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図 19 (b)】本発明の実施の形態 10 による基準信号位相制御方法を説明するための図である。

【図 20 (a)】本発明の実施の形態 10 における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図 20 (b)】本発明の実施の形態 10 による基準信号位相制御方法を説明するための図である。

【図 21 (a)】本発明の実施の形態 11 における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図 21 (b)】本発明の実施の形態 11 による基準信号位相制御方法を説明するための図である。

【図 22 (a)】本発明の実施の形態 11 における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図 22 (b)】本発明の実施の形態 11 による基準信号位相制御方法を説明するための図である。

【図 23 (a)】本発明の実施の形態 12 における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図 23 (b)】本発明の実施の形態 12 による基準信号位相制御方法を説明するための図である。

【図 24 (a)】本発明の実施の形態 12 における、現基準信号と前基準信号の位相状態の一例を示す図である。

【図 24 (b)】本発明の実施の形態 12 による基準信号位相制御方法を説明するための図である。

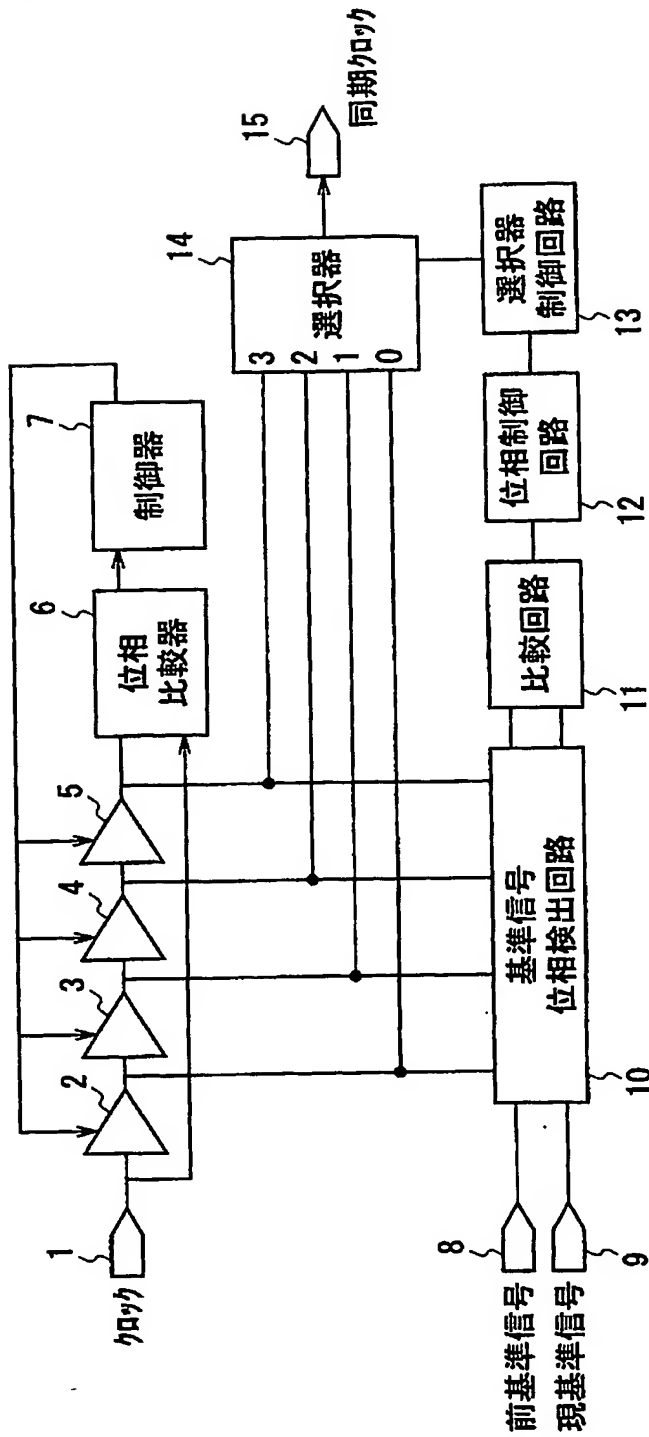
【図 25】従来の半導体装置の回路図である。

【符号の説明】

【0154】

- 1     クロック入力端子
- 2～5     遅延素子
- 6     位相比較器
- 7     制御器
- 8     前基準信号入力端子
- 9     現基準信号入力端子
- 10     基準信号位相検出回路
- 11     比較回路
- 12     位相制御回路
- 13     選択器制御回路
- 14     選択器
- 15     同期クロック出力端子
- 16     位相制御回路
- 17     1H分割カウンタ回路
- 18     ラインカウンタ回路

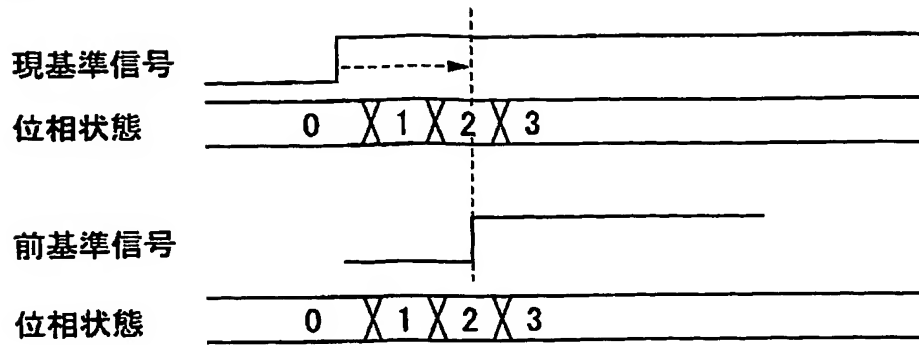
【書類名】 図面  
【図 1】



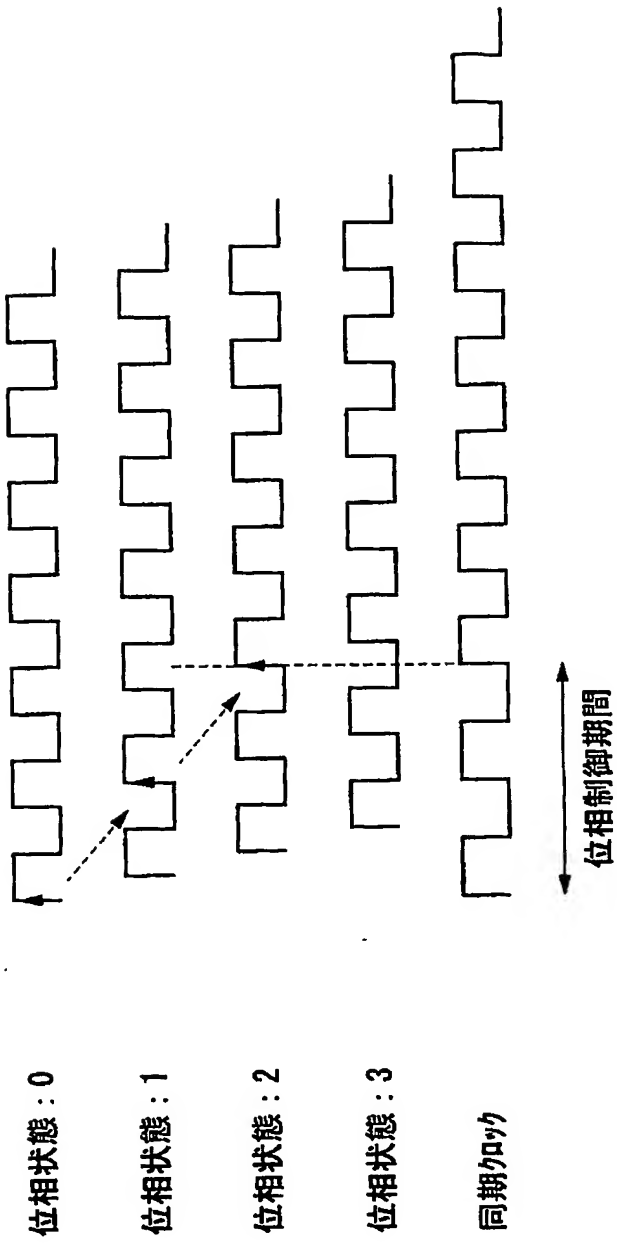
- 1: クロック入力端子
- 2~5: 遅延素子
- 8: 前基準信号入力端子
- 9: 現基準信号入力端子
- 15: 同期クロック出力端子



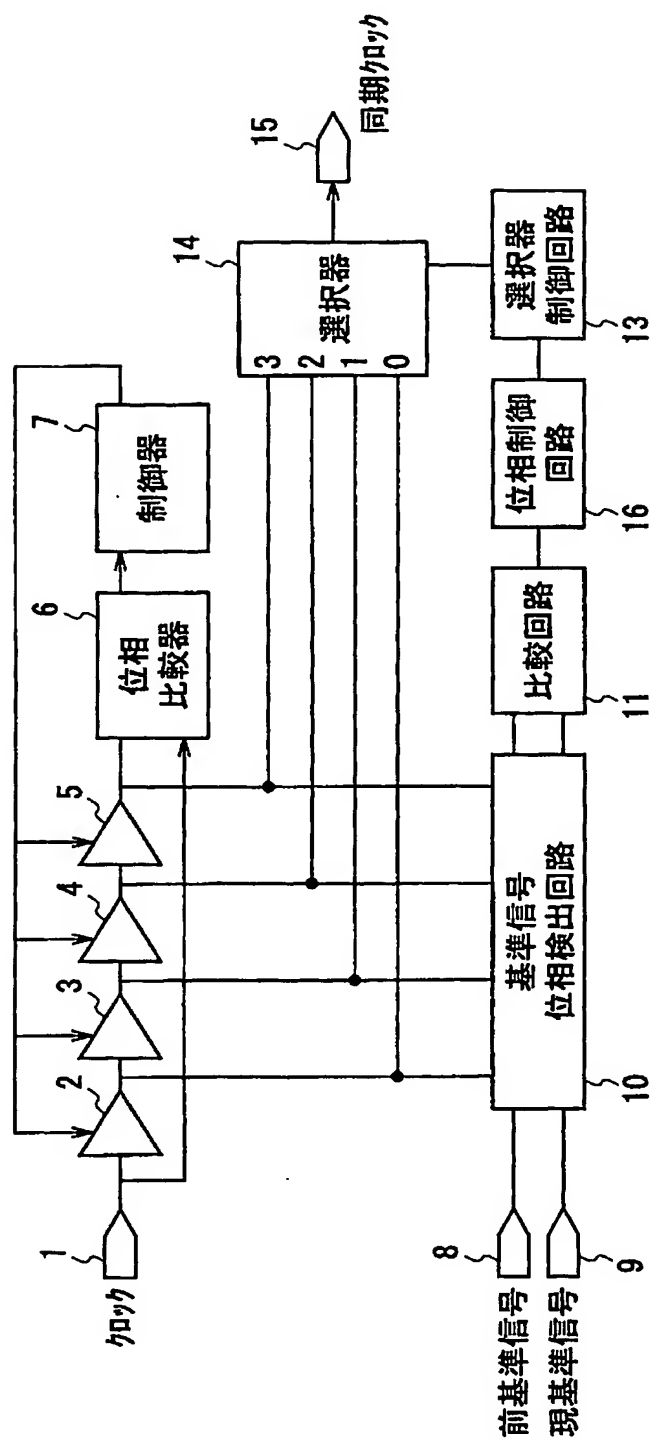
【図 2 (a)】



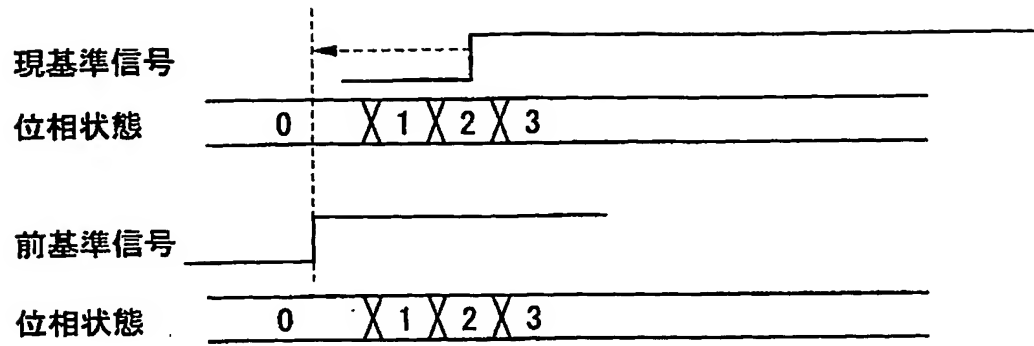
【図 2 (b)】



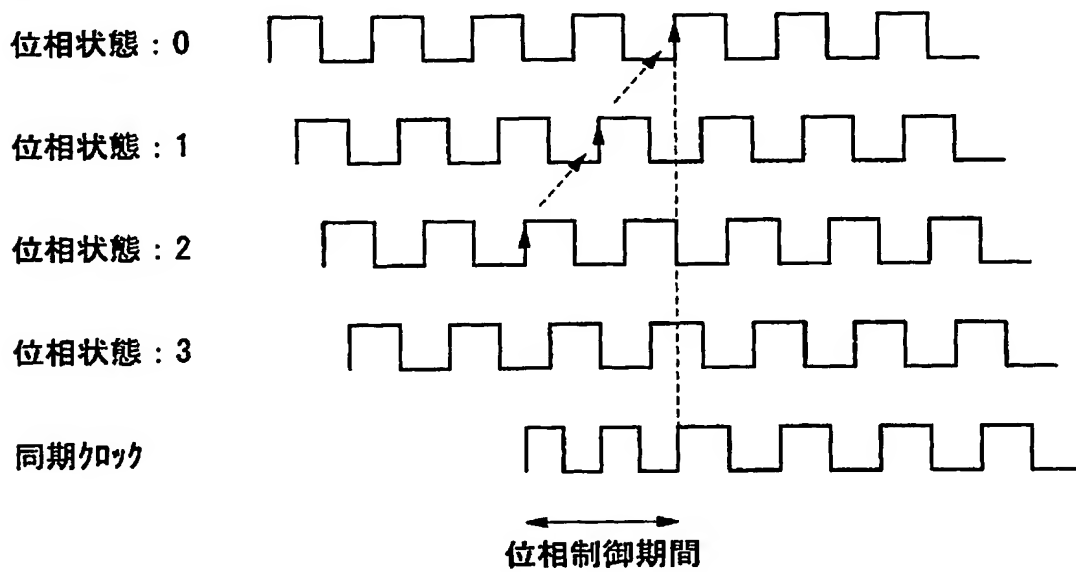
【図 3】



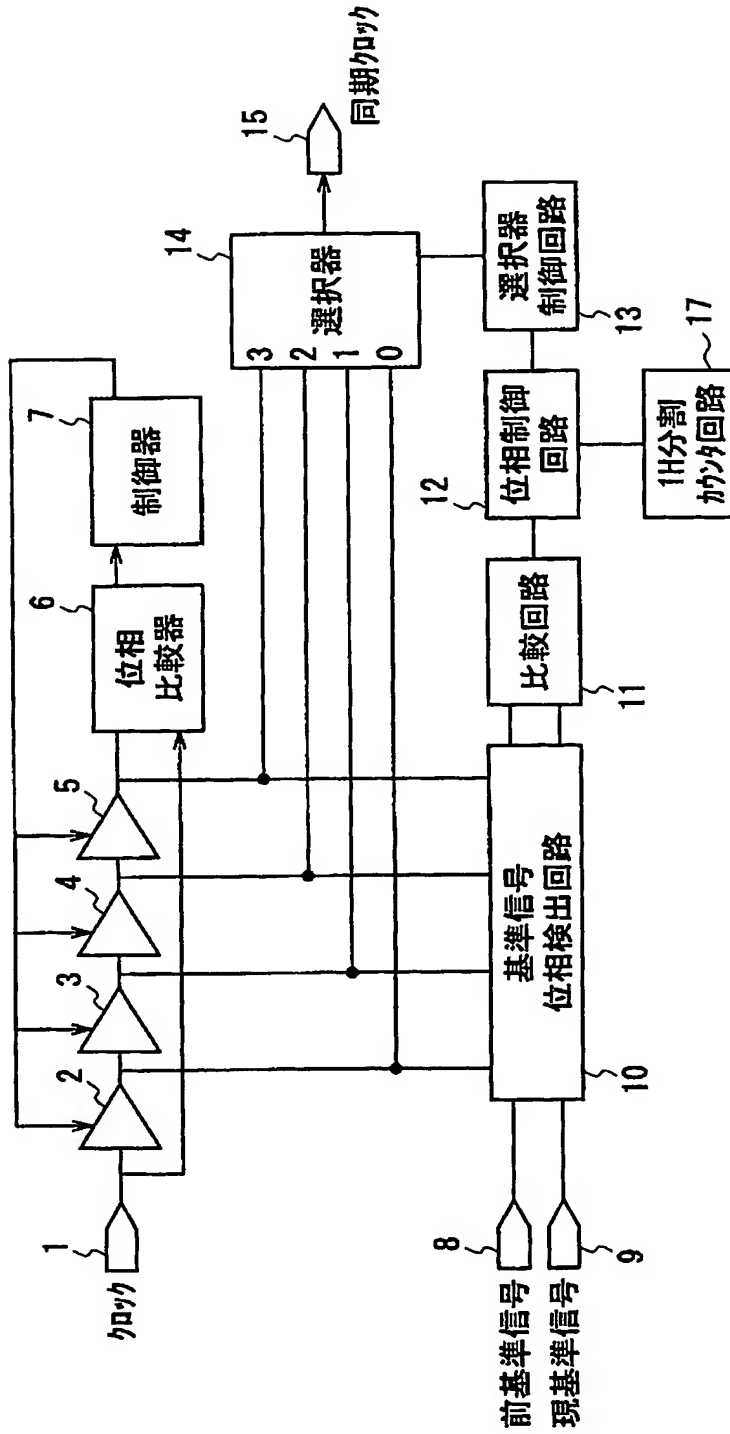
【図 4 (a)】



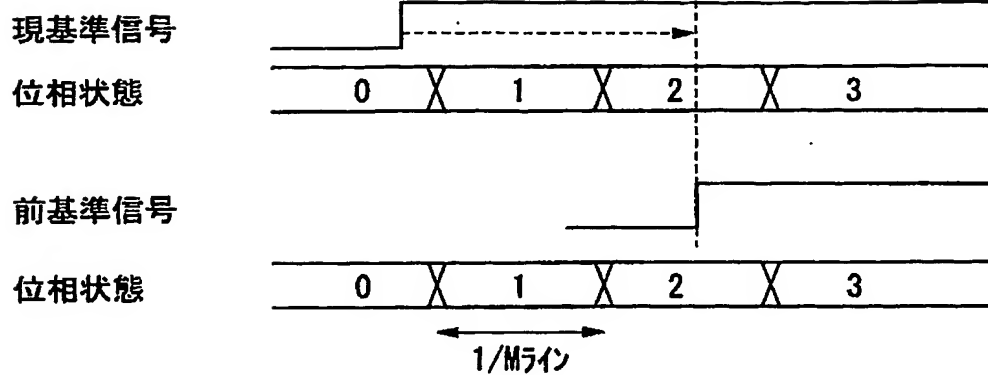
【図 4 (b)】



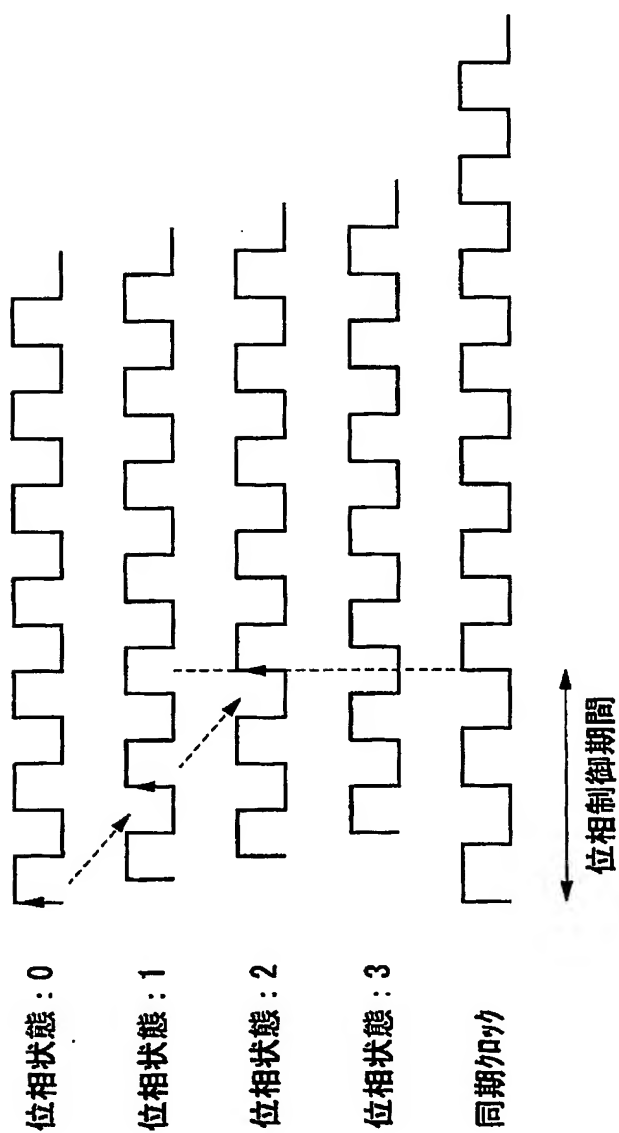
【図5】



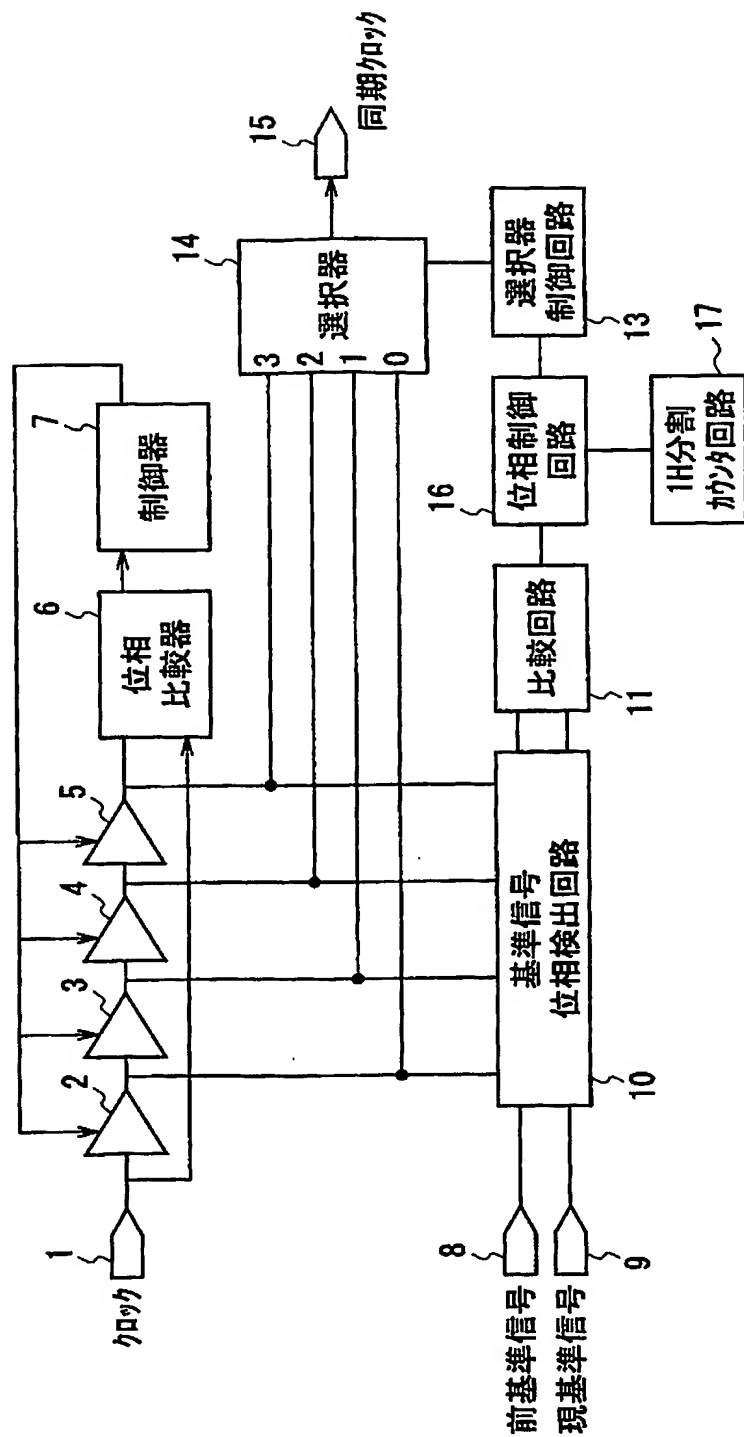
【図 6 (a)】



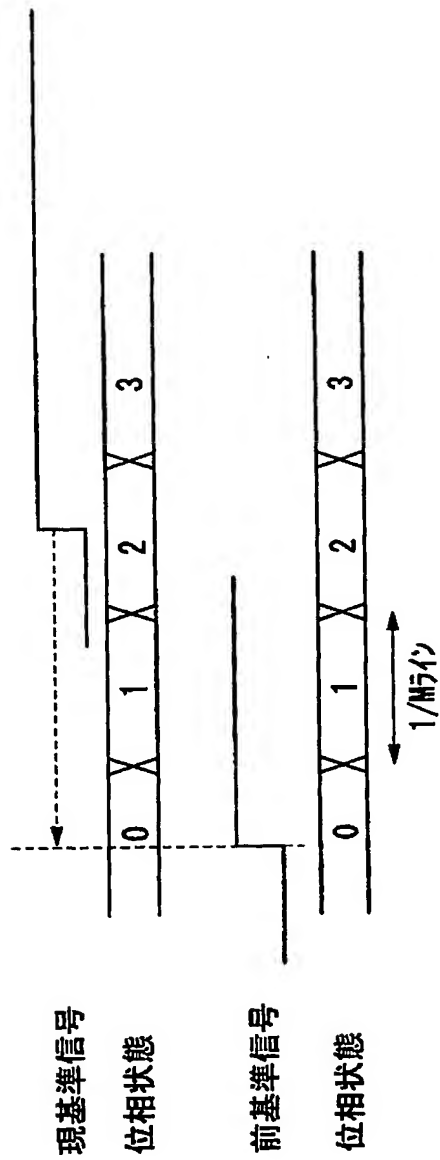
【図 6 (b)】



【図7】

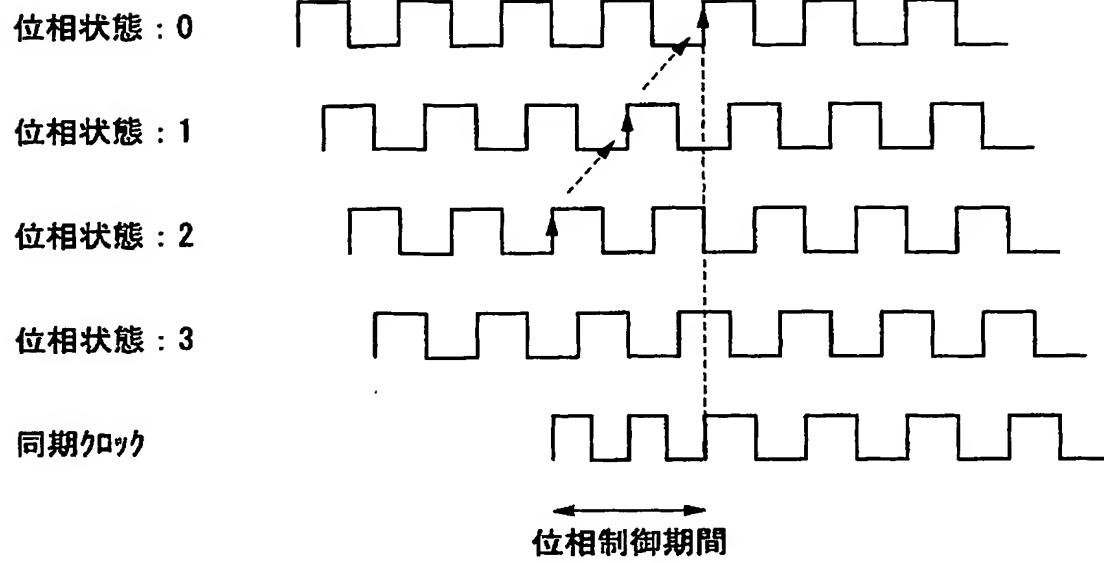


【図 8 (a)】

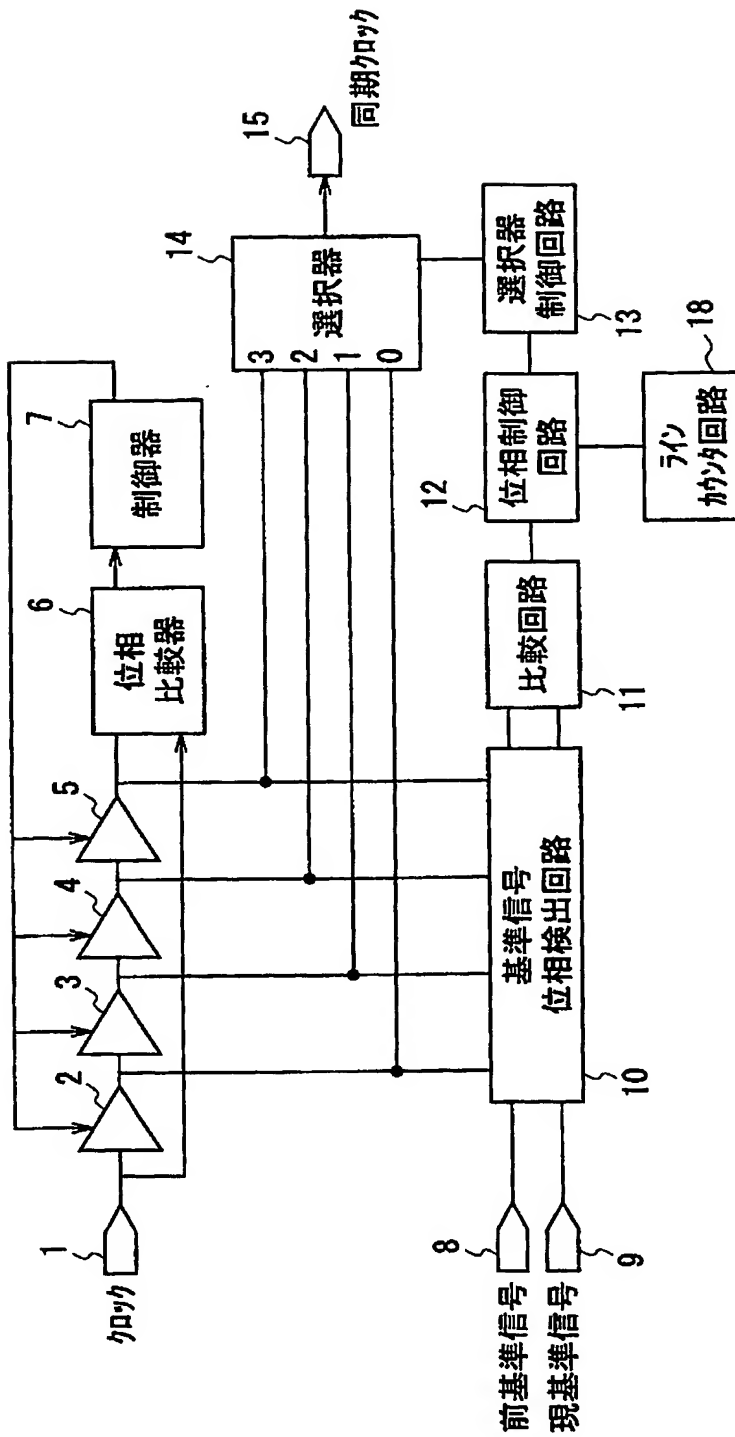




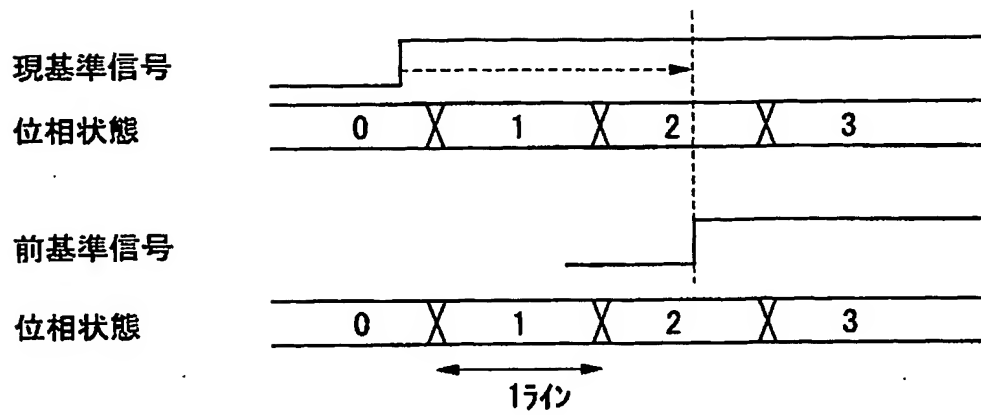
【図 8 (b)】



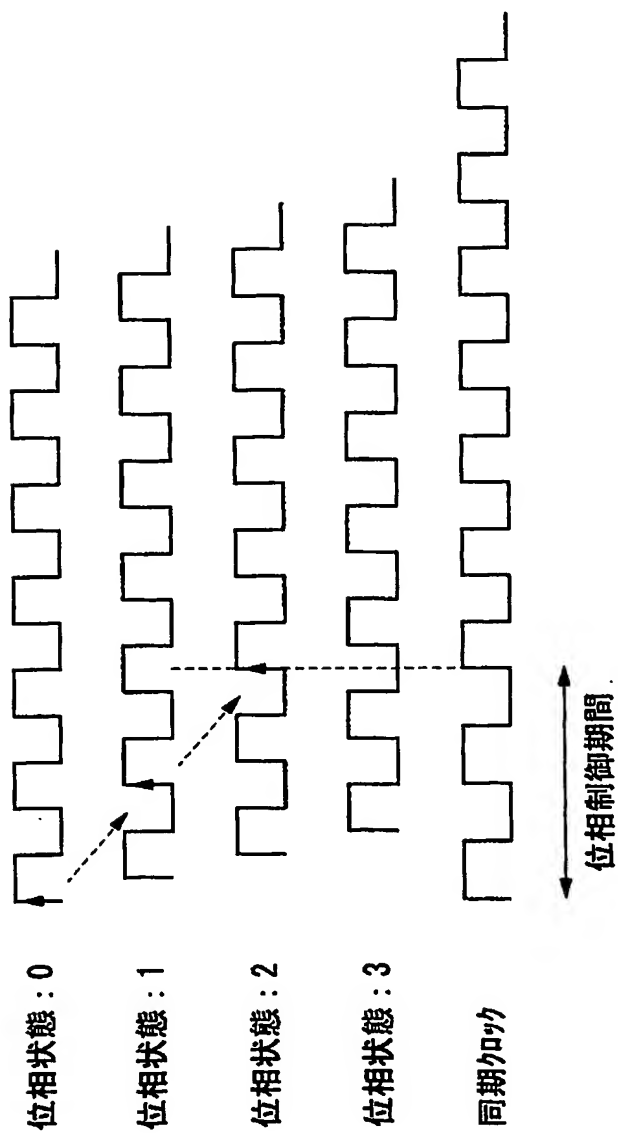
【図 9】



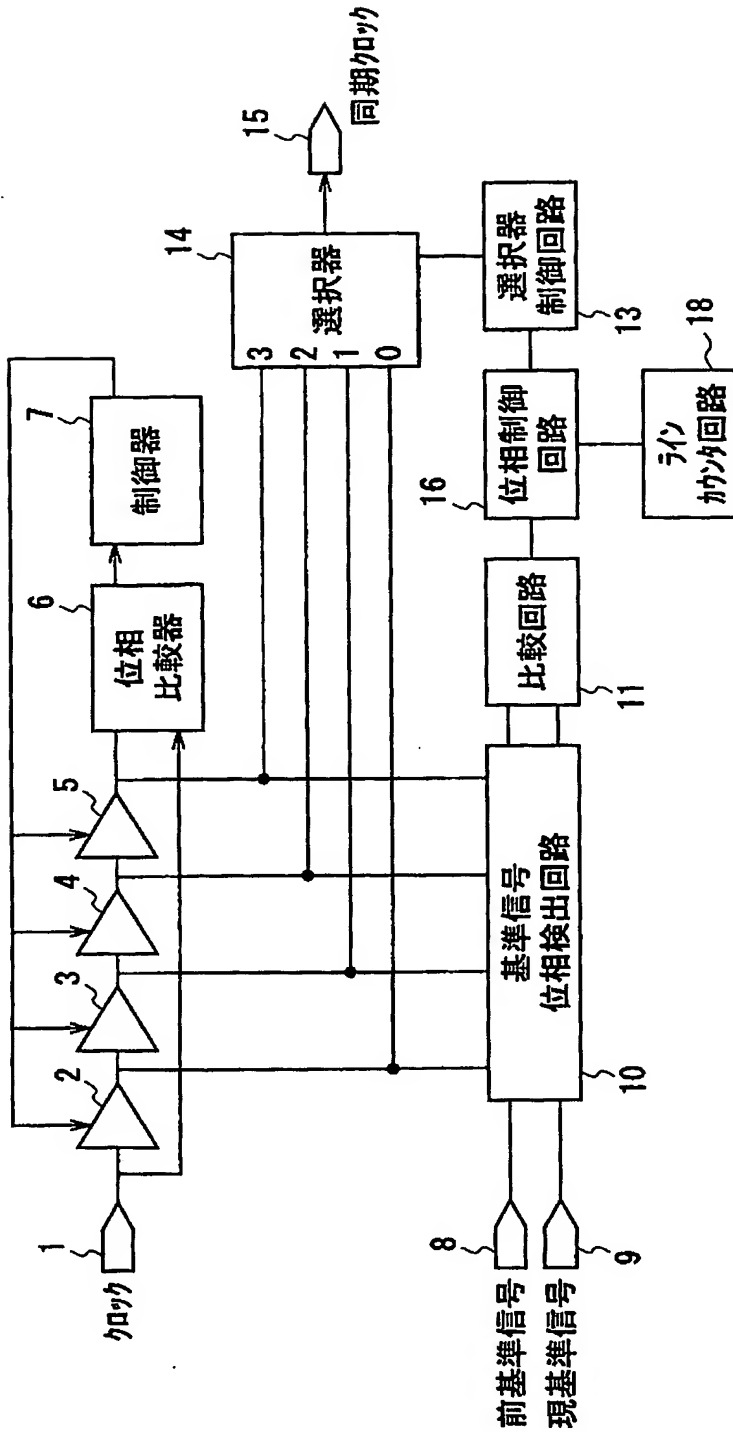
【図 1 0 ( a )】



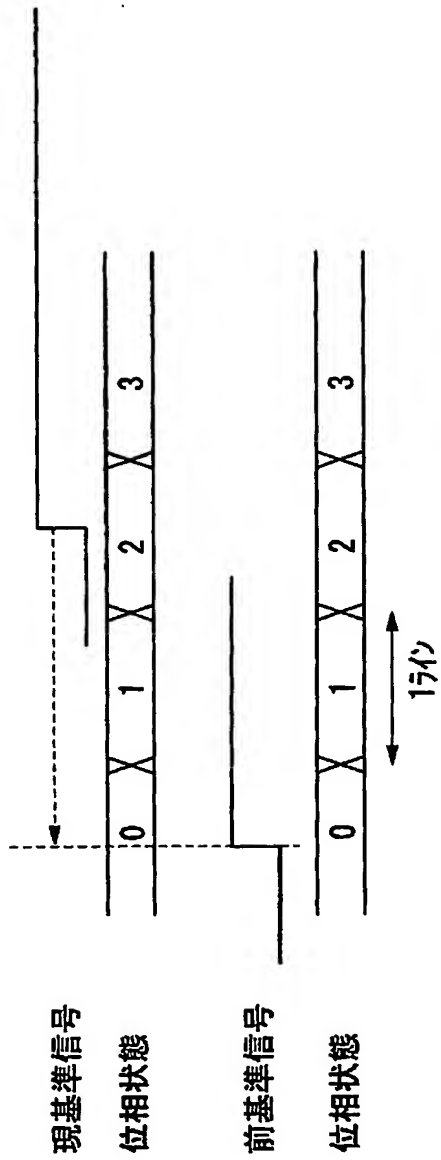
【図 1 0 ( b )】



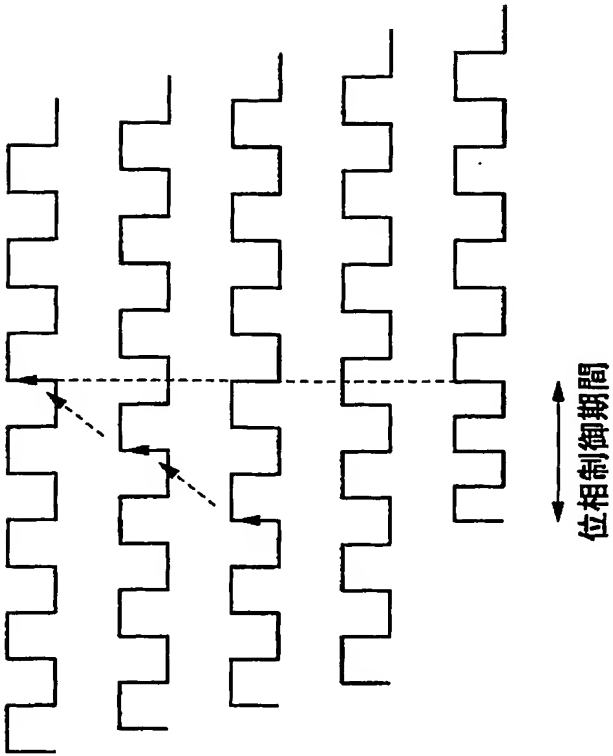
【図 11】



【図 12 (a)】

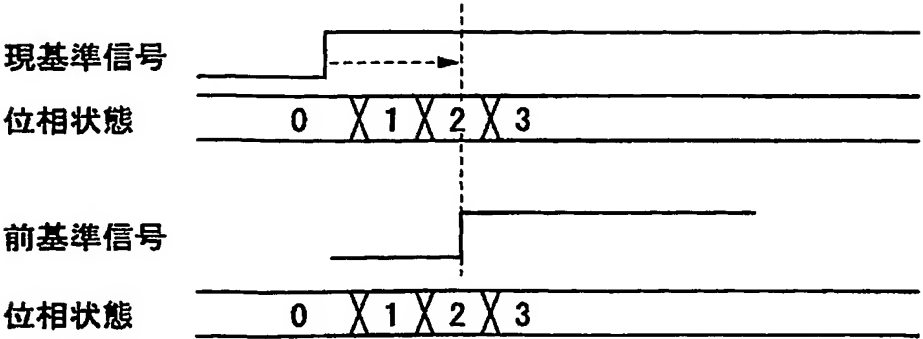


【図 1 2 (b)】

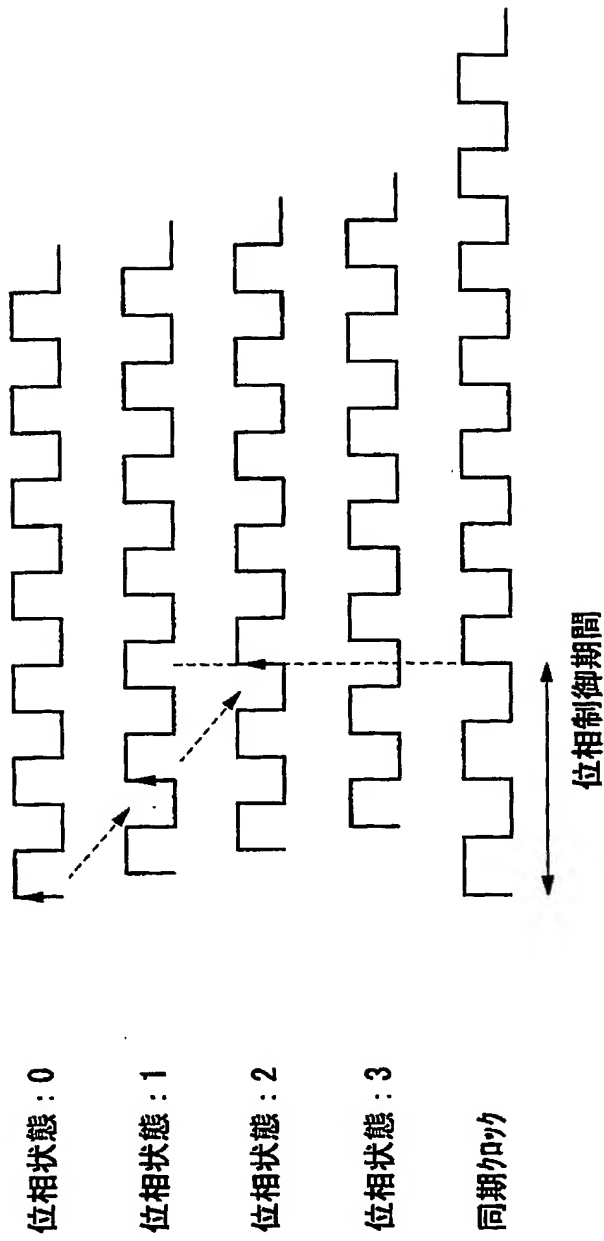


位相状態 : 0  
位相状態 : 1  
位相状態 : 2  
位相状態 : 3  
同期クロック

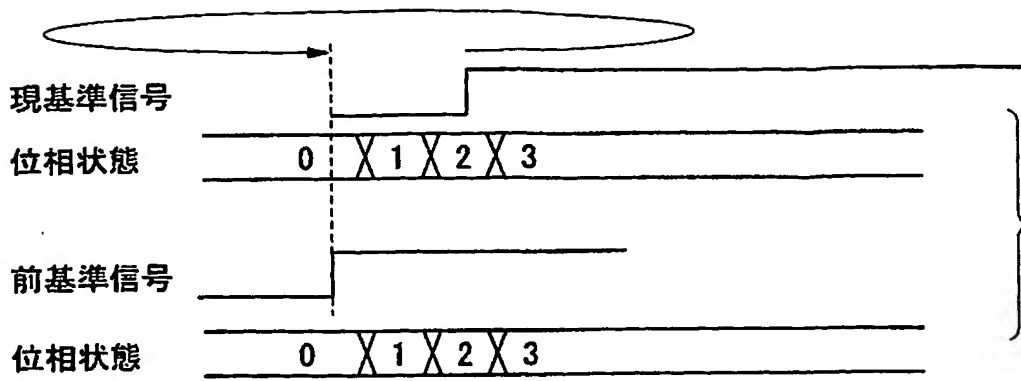
【図 1 3 (a)】



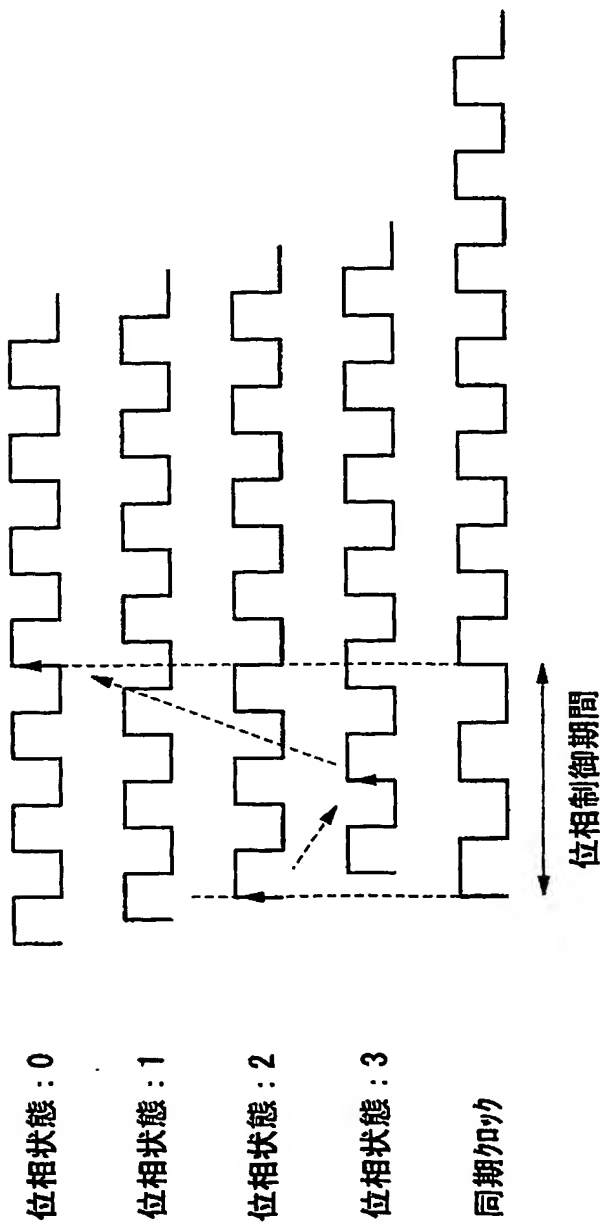
【図 13 (b)】



【図 14 (a)】

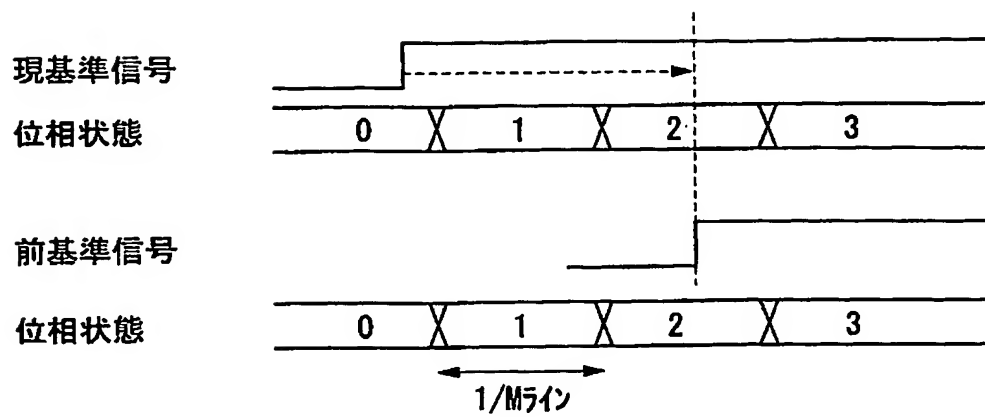


【図 14 (b)】

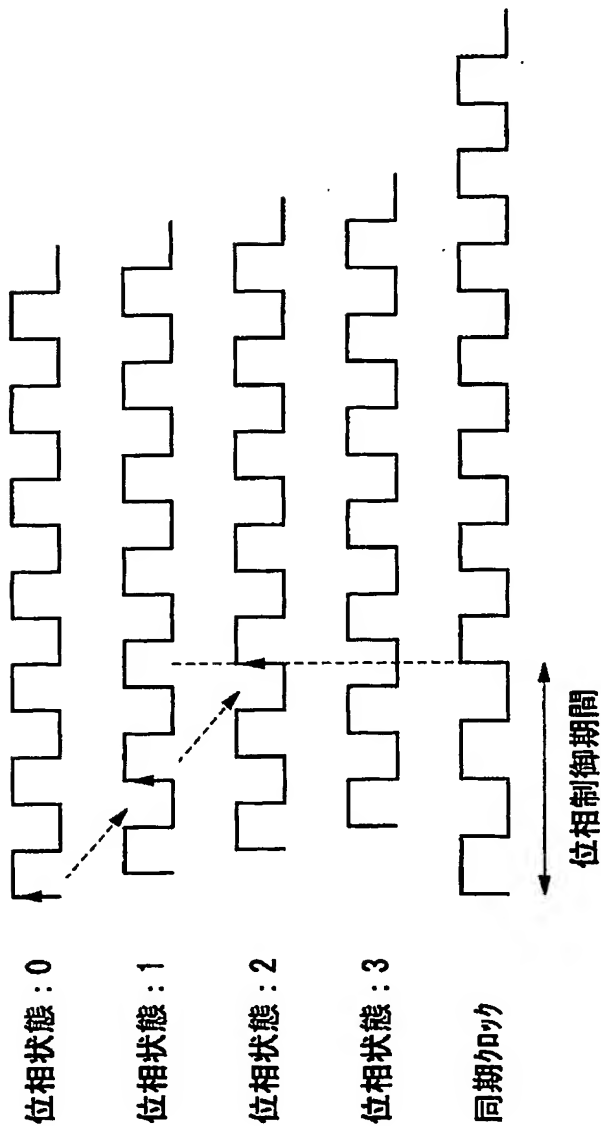




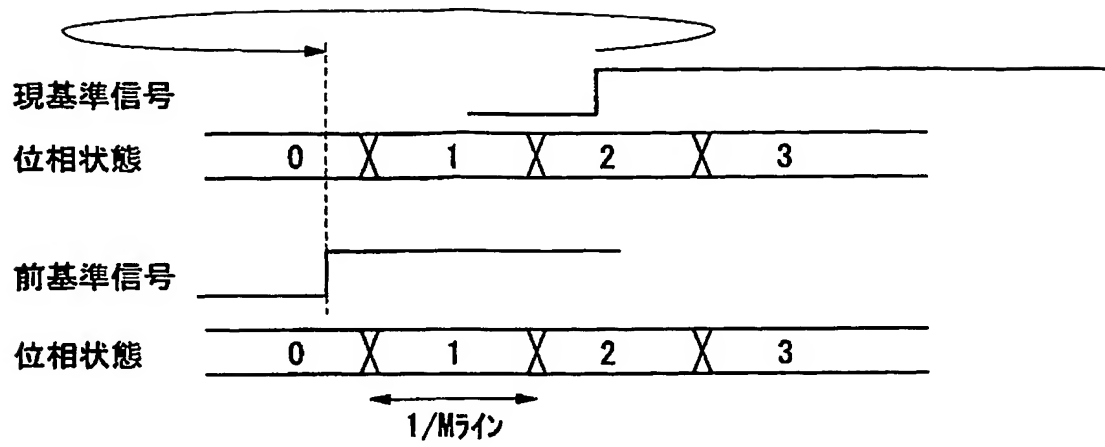
【図 15 (a)】



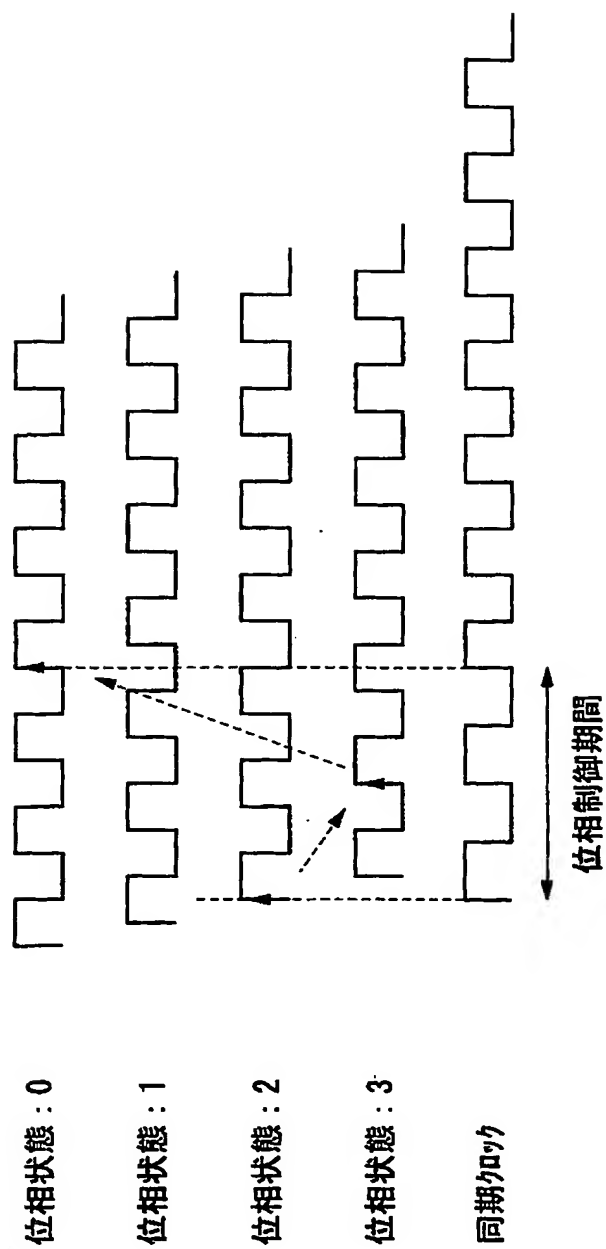
【図 15 (b)】



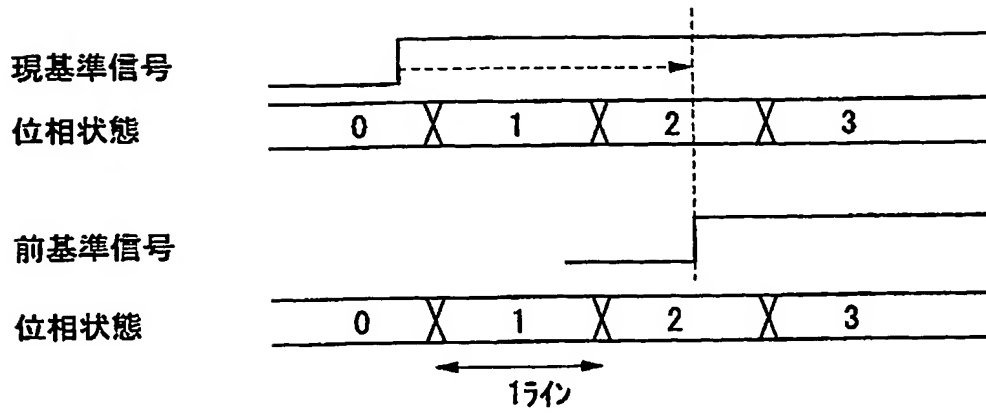
【図 16 (a)】



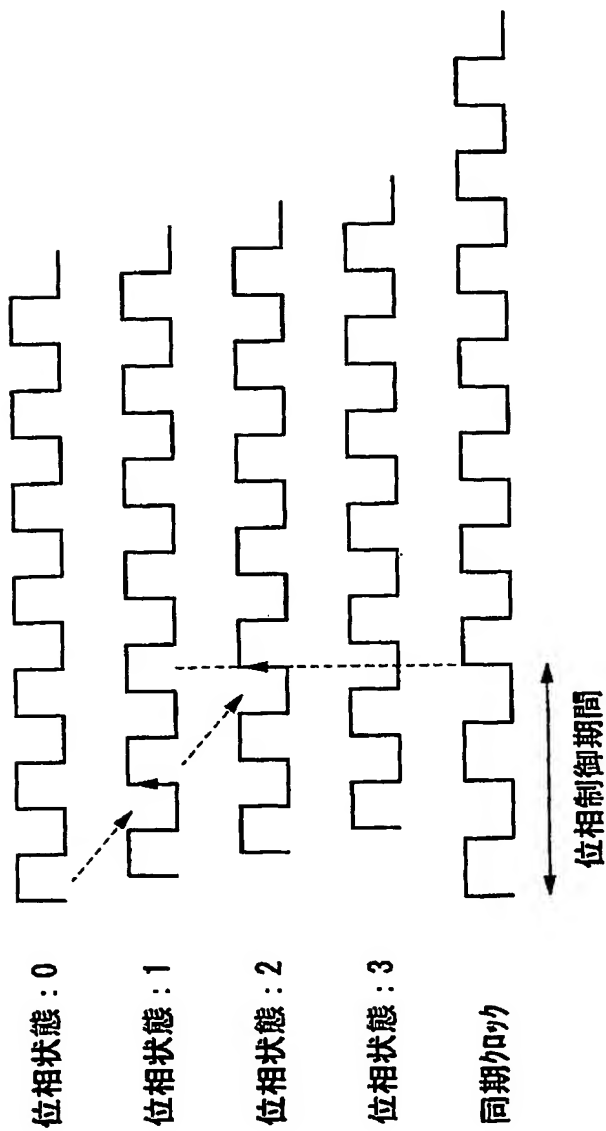
【図 16 (b)】



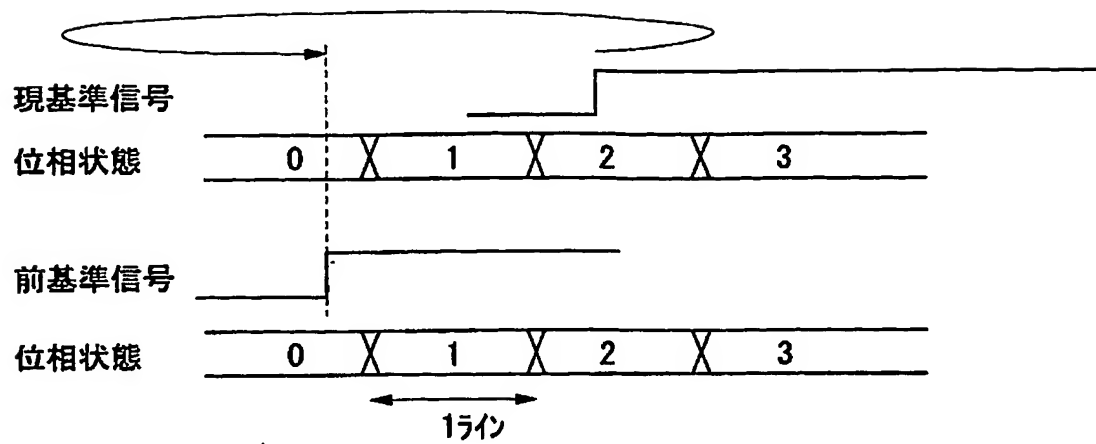
【図 17 (a)】



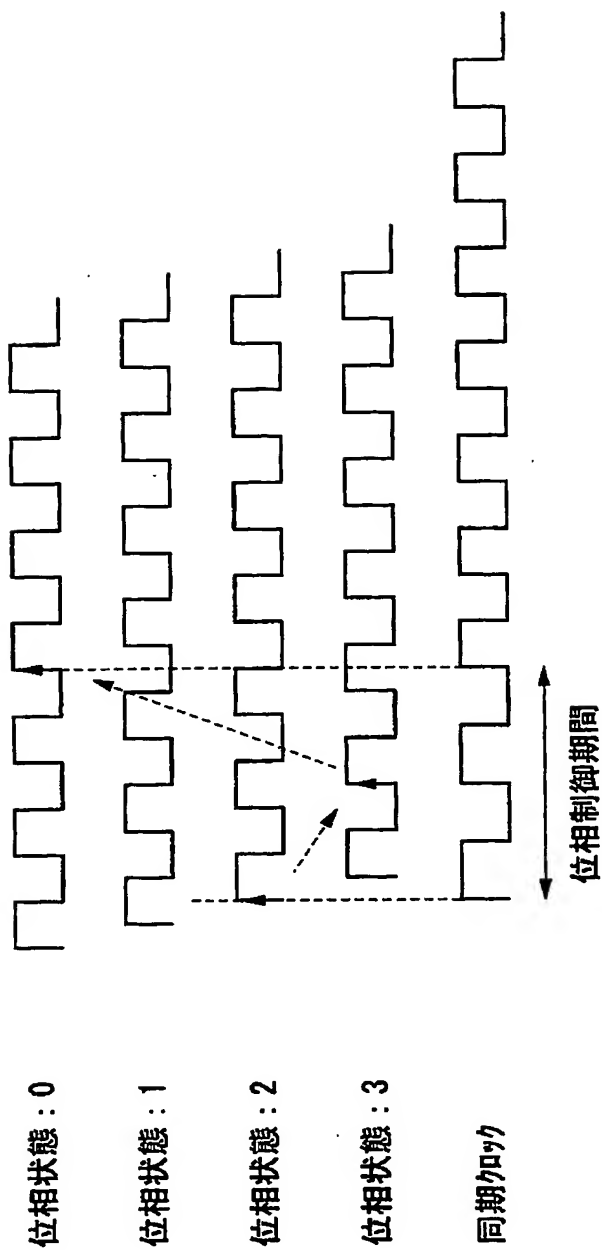
【図 17 (b)】



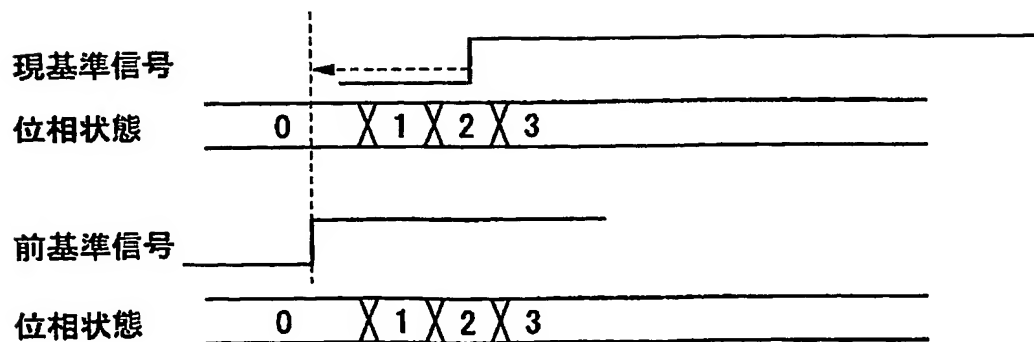
【図 18 (a)】



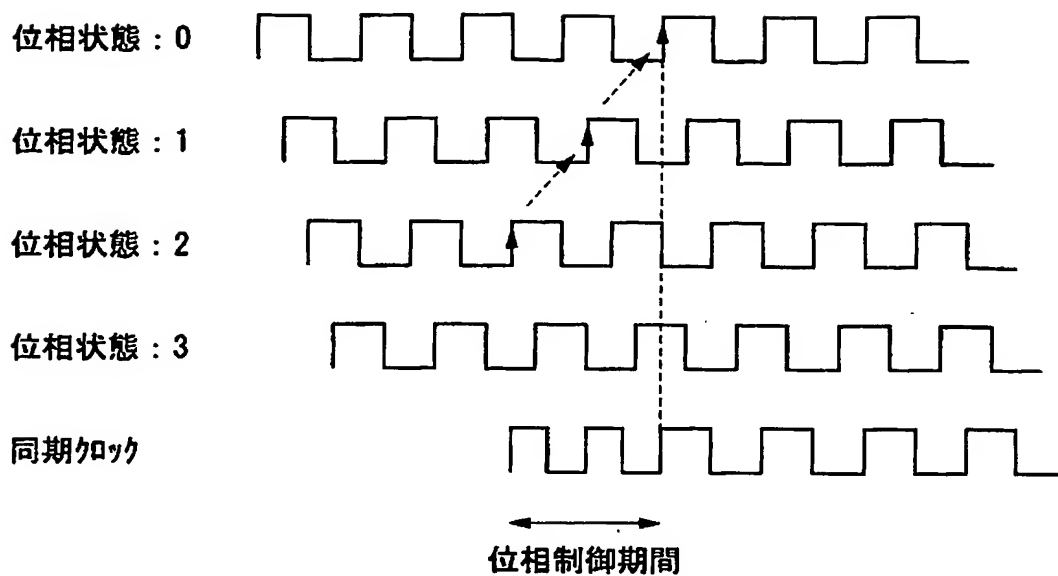
【図 18 (b)】



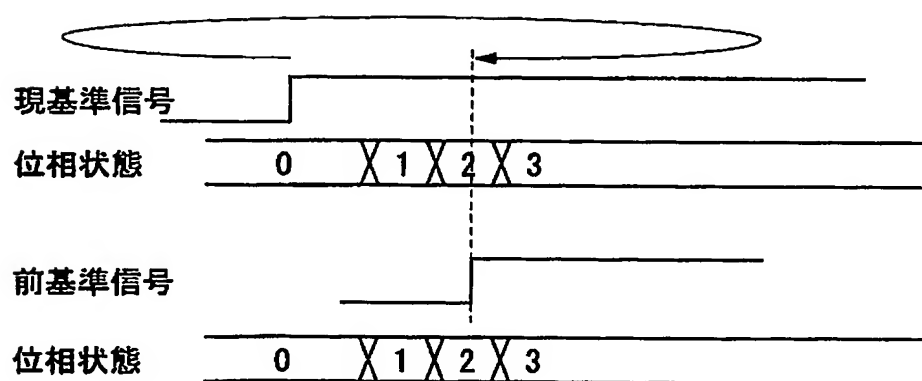
【図 19 (a)】



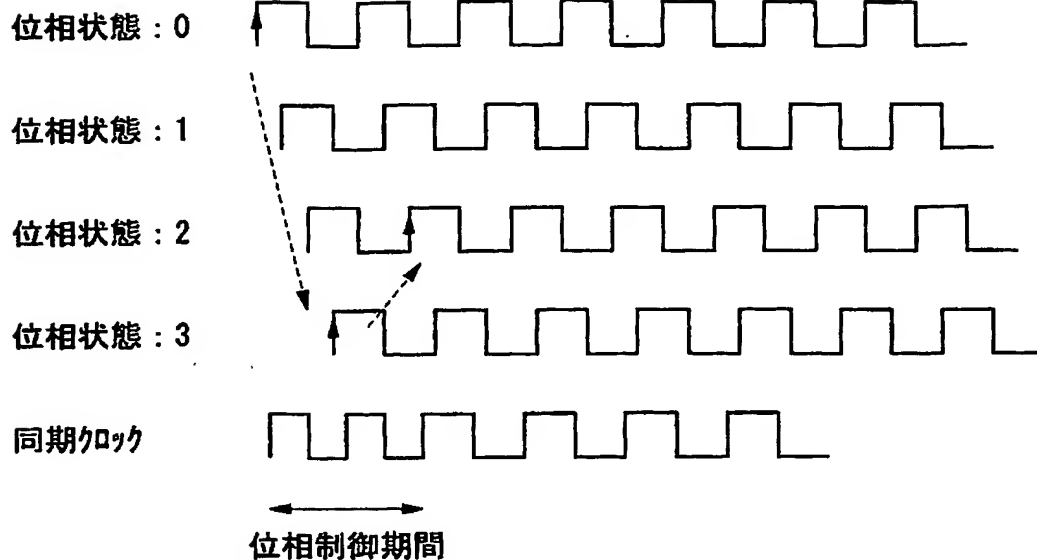
【図 19 (b)】



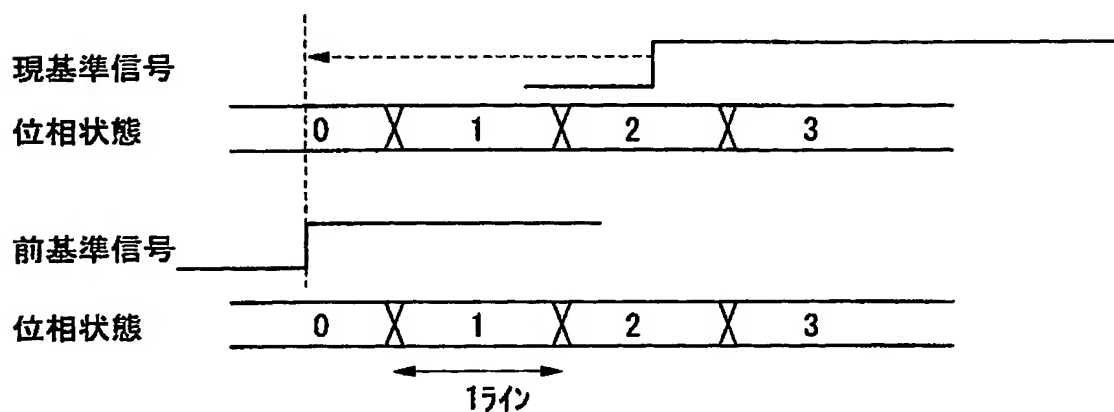
【図 20 (a)】



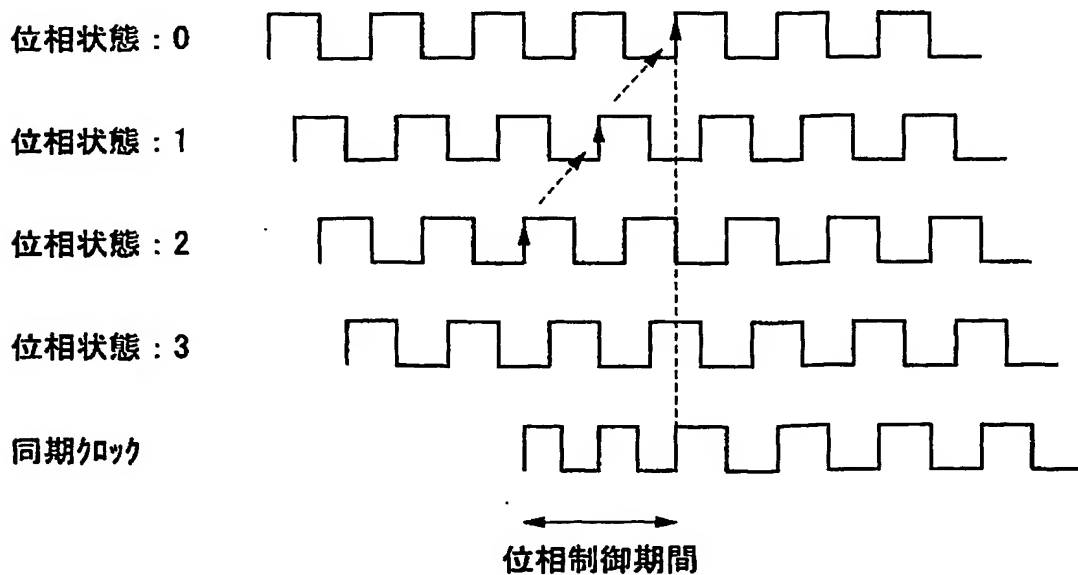
【図 20 (b)】



【図 21 (a)】

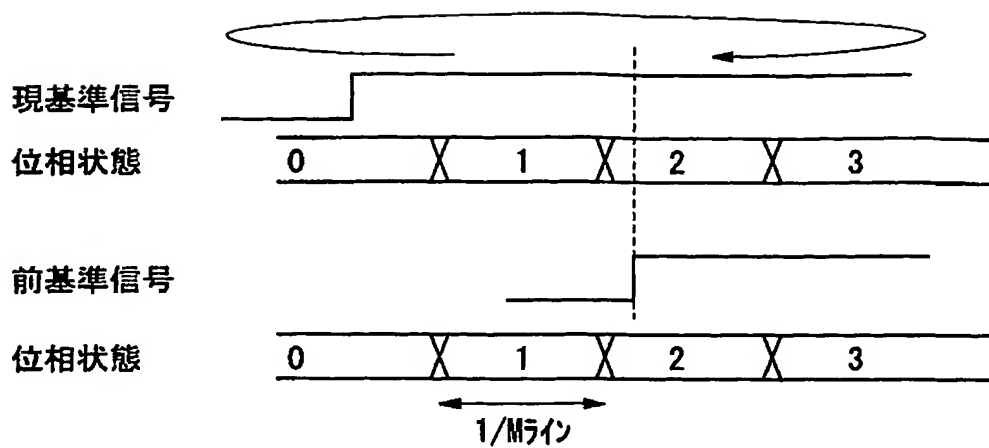


【図 21 (b)】

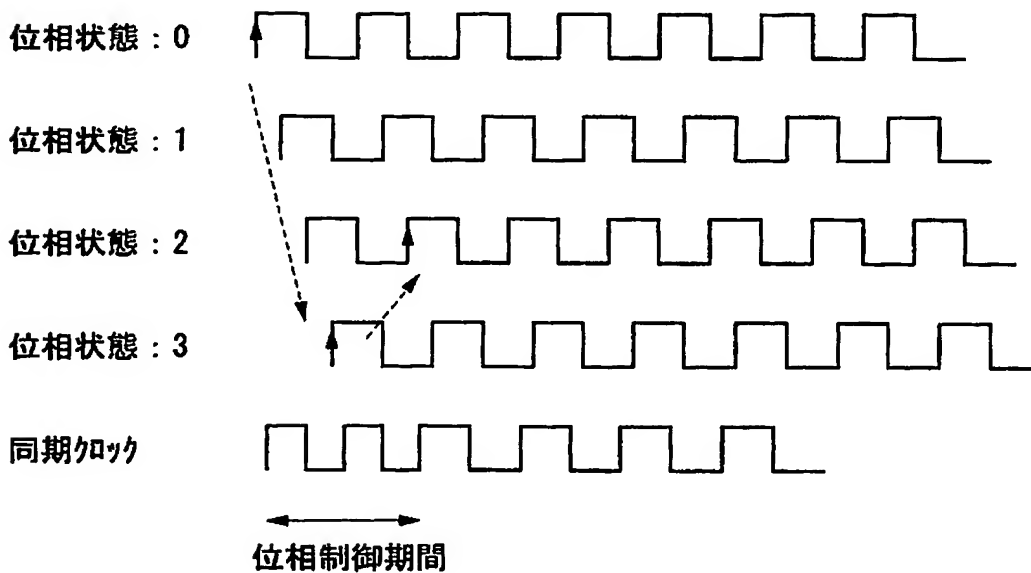




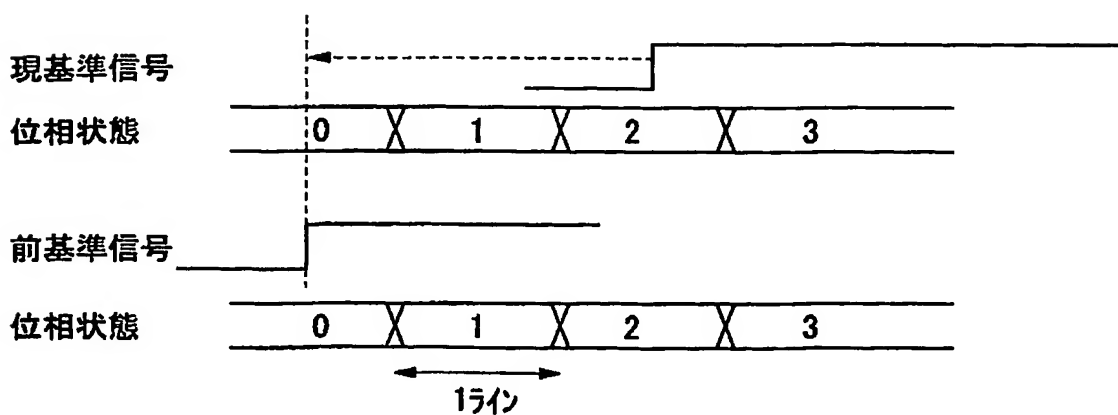
【図 2 2 (a)】



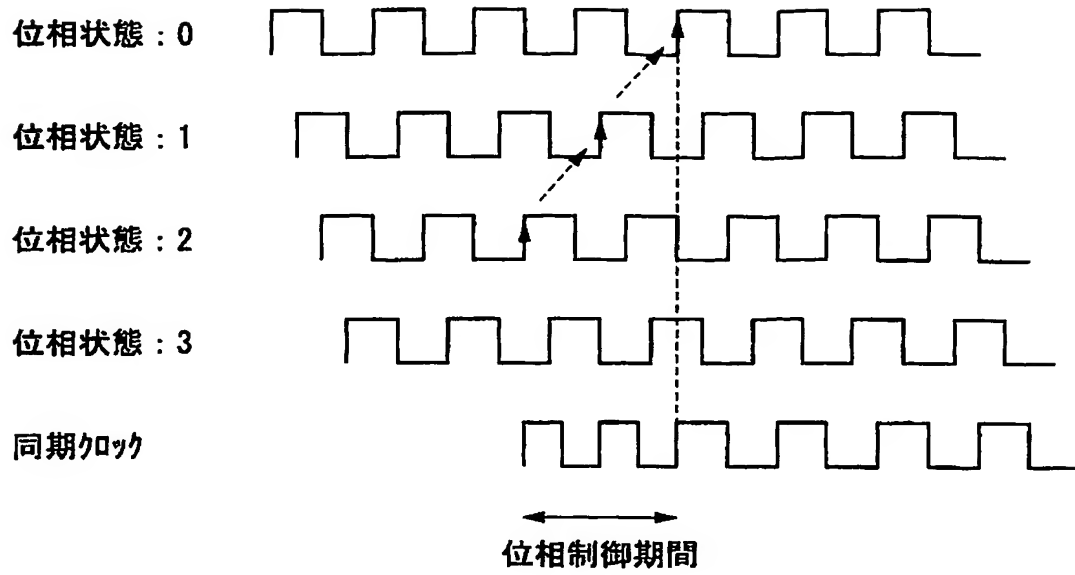
【図 2 2 (b)】



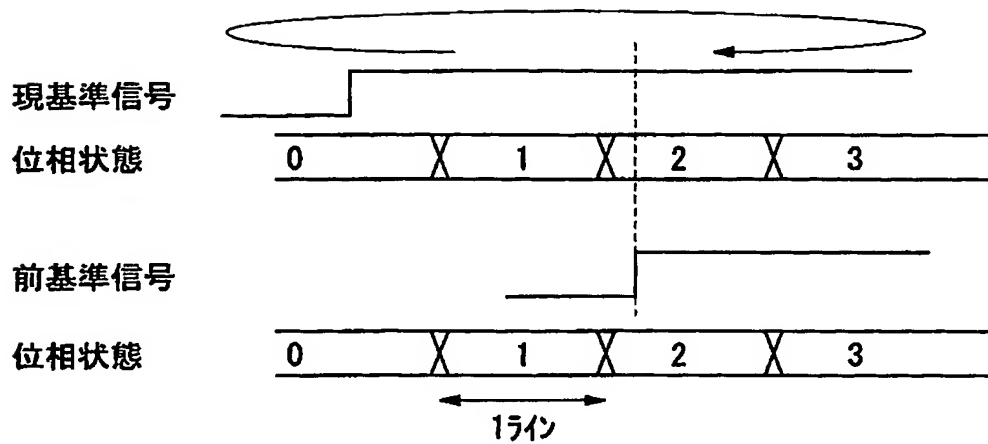
【図 2 3 (a)】



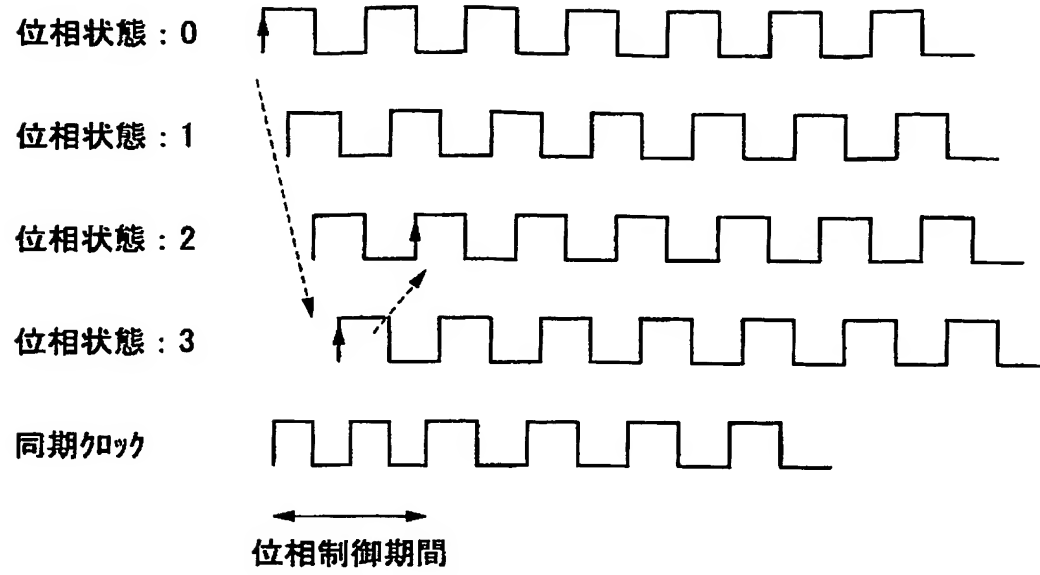
【図 23 (b)】



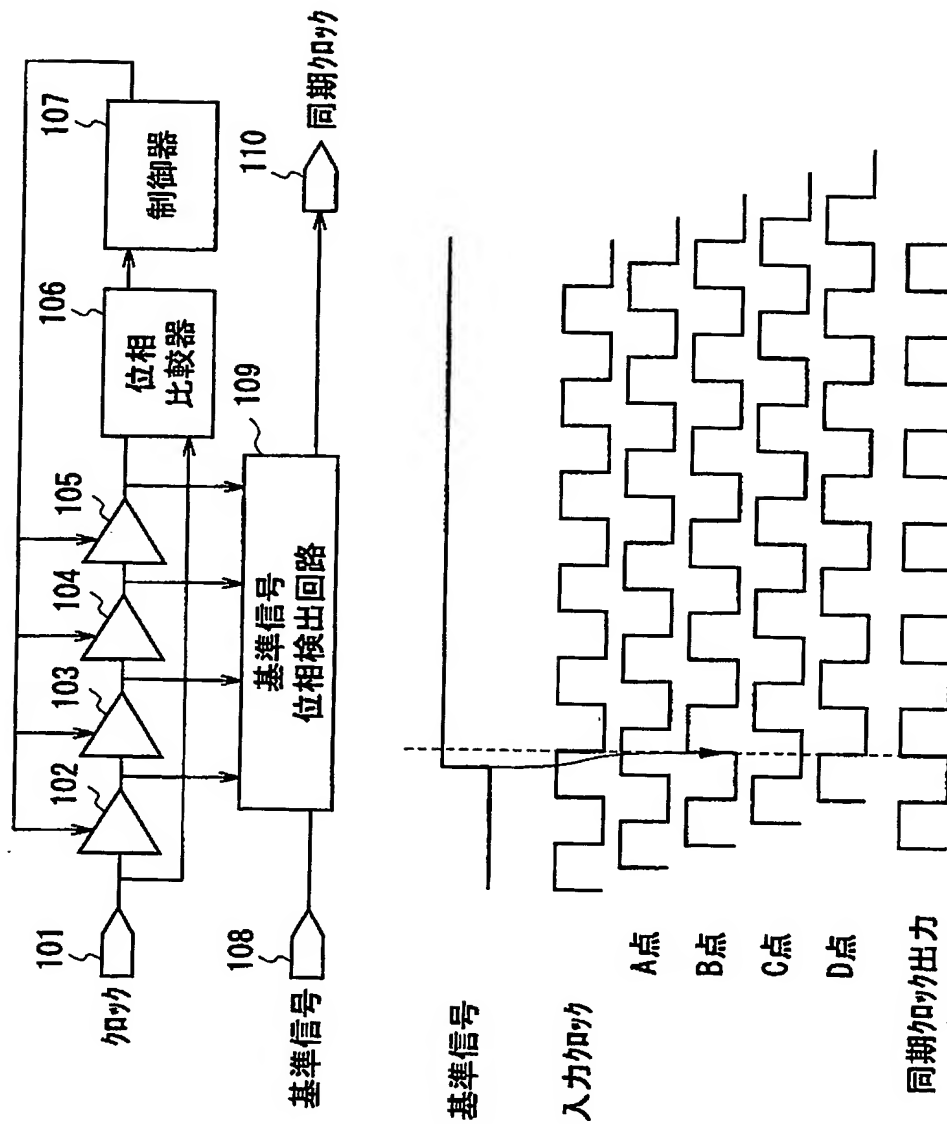
【図 24 (a)】



【図 2 4 (b)】



【図 25】



【書類名】 要約書

【要約】

【課題】 基準信号（アナログHパルス等）がクロックに同期していない様な信号が入力され、この基準信号の立ち上がりに対してリセットをかけた場合に、クロックのDUTYが不連続になるのを防ぐことができる半導体装置を提供する。

【解決手段】 瞬時にクロックを切り替えるのではなく、前基準信号の位相状態と現基準信号の位相状態が一致するようにディレイセルを1段ずつ移動させて、最大 $N+1/N$ クロック（ $N$ は2以上の整数）かけて切り替えて、正確に基準信号にクロックを同期させ、出力されるクロックのDUTYを一定に保つようにした。

【選択図】 図2（b）

特願 2 0 0 3 - 3 9 1 4 6 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017296

International filing date: 19 November 2004 (19.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-391461  
Filing date: 20 November 2003 (20.11.2003)

Date of receipt at the International Bureau: 20 January 2005 (20.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse